

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 1 月 29 日 (29.01.2004)

PCT

(10) 国際公開番号
WO 2004/010489 A1

(51) 国際特許分類: H01L 21/337, 29/80, 29/808

(21) 国際出願番号: PCT/JP2003/009412

(22) 国際出願日: 2003 年 7 月 24 日 (24.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-215804 2002 年 7 月 24 日 (24.07.2002) JP
特願2002-235045 2002 年 8 月 12 日 (12.08.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒541-0041 大阪府 大阪市 中央区北浜四丁目5番33号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 星野 孝志 (HOSHINO, Takashi) [JP/JP]; 〒554-0024 大阪府 大阪市 此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内 Osaka (JP). 原田 真 (HARADA, Shin) [JP/JP]; 〒554-0024 大阪府 大阪市 此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内

Osaka (JP). 藤川 一洋 (FUJIKAWA, Kazuhiro) [JP/JP]; 〒554-0024 大阪府 大阪市 此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内 Osaka (JP). 初川 聡 (HATSUKAWA, Satoshi) [JP/JP]; 〒554-0024 大阪府 大阪市 此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内 Osaka (JP). 弘津 研一 (HIROTSU, Kenichi) [JP/JP]; 〒554-0024 大阪府 大阪市 此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内 Osaka (JP).

(74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都 中央区 銀座一丁目10番6号 銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

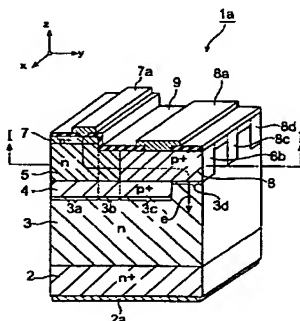
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: VERTICAL JUNCTION FIELD EFFECT TRANSISTOR AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 縦型接合型電界効果トランジスタ、及び縦型接合型電界効果トランジスタの製造方法

(57) Abstract: A vertical JFET (1a) comprising an n-type drain semiconductor part (2), an n-type drift semiconductor part (3), a p⁺-type gate semiconductor part (4), an n-type channel semiconductor part (5), an n⁺-type source semiconductor part (7), and a p⁺-type gate semiconductor part (8). The n-type drift semiconductor part (3) is provided on the major surface of the n-type drain semiconductor part (2) and has first through fourth regions (3a-3d) extending in the direction intersecting the major surface. The p⁺-type gate semiconductor part (4) is provided on the first through third regions (3a-3c) of the n-type drift semiconductor part (3). The n-type channel semiconductor part (5) is provided along the p⁺-type gate semiconductor part (4) and connected electrically with the fourth region (3d) of the n-type drift semiconductor part (3).

[続葉有]



(57) 要約:

本発明に係る縦型J F E T 1 a は、 n^+ 型ドレイン半導体部 2 と、 n 型ドリフト半導体部 3 と、 p^+ 型ゲート半導体部 4 と、 n 型チャネル半導体部 5 と、 n^+ 型ソース半導体部 7 と、 p^+ 型ゲート半導体部 8 とを備える。 n 型ドリフト半導体部 3 は、 n^+ 型ドレイン半導体部 2 の主面上に設けられ、この主面と交差する方向に延びる第 1 ～第 4 の領域 3 a ～3 d を有する。 p^+ 型ゲート半導体部 4 は、 n 型ドリフト半導体部 3 の第 1 ～第 3 の領域 3 a ～3 c 上に設けられている。 n 型チャネル半導体部 5 は、 p^+ 型ゲート半導体部 4 に沿って設けられ、 n 型ドリフト半導体部 3 の第 4 の領域 3 d に電氣的に接続されている。

明細書

縦型接合型電界効果トランジスタ、及び縦型接合型電界効果トランジスタの製造方法

技術分野

- 5 【0001】 本発明は、縦型接合型電界効果トランジスタ、及び縦型接合型電界効果トランジスタの製造方法に関する。

背景技術

- 10 【0002】 接合型電界効果トランジスタ（J F E T : Junction Field Effect Transistor）は、ゲート電圧によりソース電極とドレイン電極間の電流を制御する電圧制御半導体デバイスである。詳細には、J F E Tは、ソース電極とドレイン電極との間に位置しゲート電極と接するチャネル領域を有し、ゲート半導体層とチャネル半導体層とにより形成されるp n接合によって生じる空乏層の厚さを、ゲート電極に加える電圧によって変化させ、チャネル領域を流れるドレイン電流を制御するデバイスである。

- 15 【0003】 今日、シリコンを半導体材料とする半導体デバイスが主流となっている。シリコン系パワー半導体デバイスにおいて、デバイスの耐圧によって使用されるデバイスタイプが異なり、デバイス耐圧が200V以下の低圧系ではM O S F E T（金属／酸化膜／半導体 電界効果トランジスタ）が主流であり、デバイス耐圧がそれ以上の高圧系ではI G B T（絶縁ゲートバイポーラトランジスタ）、サイリスタなどが主流である。

- 20 【0004】 J F E Tに関しては、J F E Tの一種である静電誘導トランジスタ（S I T）がパワー半導体として開発及び製品化されている。S I Tは、J F E Tと同様のデバイス構造を有するが、J F E Tの静特性が飽和を有する五極管特性であるのに対して、S I Tの静特性は非飽和を特徴とする三極管特性である。

- 25 発明の開示

- 【0005】 近年、炭化珪素（S i C）、窒化ガリウム（G a N）などのワイド

ギャップ半導体材料が、シリコンよりも高耐圧かつ低損失、高出力で高周波動作などの優れたパワー半導体デバイスを実現可能な半導体材料として注目されている。特に、高耐圧、低損失に関しては、耐圧 1 k V では、シリコンに比べて 2 桁以上もの低損失化が期待できる。しかしながら現状では、MOS 構造デバイスにおいては、酸化膜直下の表面移動度が小さいため、期待できる低損失デバイスはできていない。

【0006】 パワーデバイスタイプとして、MOS 構造の優位性は、電圧駆動でノーマリオフ型であることである。そこで、発明者らは、シリコンではあまり開発されていない、結晶内部の移動度によりその特性が特徴づけられる J F E T に着目し、高耐圧の低損失デバイスを検討するに至った。加えて、ノーマリオフ型デバイスの J F E T は可能である。また、基板の表面から裏面に向かう方向に電流を流す構造がパワーデバイスとして好ましい構造であると判断して、縦型 J F E T の検討を行った。

【0007】 そこで、本発明の目的は、高ドレイン耐圧を維持しつつ低損失な縦型接合型電界効果トランジスタ、及び縦型接合型電界効果トランジスタの製造方法を提供することである。

【0008】 まず、この縦型 J F E T の構造において、低損失を実現するために検討を続けた結果、次のような発明をするに至った。

【0009】 本発明に係る縦型接合型電界効果トランジスタは、ドレイン半導体部と、ドリフト半導体部と、埋込半導体部と、チャネル半導体部と、ソース半導体部と、ゲート半導体部とを備える。ドリフト半導体部は、ドレイン半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第 1、第 2、第 3 及び第 4 の領域を有する。埋込半導体部は、ドリフト半導体部の導電型と逆導電型を有し、ドリフト半導体部の第 1、第 2 及び第 3 の領域上に設けられている。チャネル半導体部は、埋込半導体部に沿って設けられ、埋込半導体部の導電型と逆導電型を有し、ドリフト半導体部の第 4 の領域に電氣的に接続されている。ソ

ース半導体部は、ドリフト半導体部の第1の領域及びチャネル半導体部上に設けられている。ゲート半導体部は、ドレイン半導体部の導電型と逆導電型を有し、第3及び第4の領域及びチャネル半導体部上に設けられている。ゲート半導体部は、第3の領域から第4の領域に向かう方向に延びる複数の凸部を有しており、凸部の間にはチャネル半導体部が設けられており、凸部は埋込半導体部に接続されている。

【0010】 この様な縦型接合型電界効果トランジスタによれば、埋込半導体部及びチャネル半導体部をドリフト半導体部上に配置できる。この構造では、チャネル半導体部の損失とドリフト半導体部の損失との和がデバイスの基本損失となる。このため、チャネル半導体部のみによりデバイスの耐圧を高耐圧にすると、チャネルの不純物濃度は低くなり、チャネル長も長くなり、デバイスの損失は大きくなる。そこで、本発明の構造のように、ドレイン電流を制御するチャネル半導体部とデバイスの耐圧を担うドリフト半導体部とを設けることにより、以下に示す効果がある。第一に、チャネル半導体部は不純物濃度を高くでき、かつ、チャネル長を短くできるので、チャネル半導体部の損失を小さくできる。第二に、ドリフト半導体部は、その不純物濃度及び厚さにより所望のドレイン耐圧を得ることができ、損失を最小限度にとどめることが可能となる。第三に、ドリフト半導体部とチャネル半導体部とを縦方向に積層することにより、限られた面積におけるデバイス損失が低減される。

【0011】 また、縦型接合型電界効果トランジスタは、ドレイン半導体部と、ドリフト半導体部と、埋込半導体部と、チャネル半導体部と、ソース半導体部と、複数のゲート半導体部とを備える。ドリフト半導体部は、ドレイン半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第1、第2、第3及び第4の領域を有する。埋込半導体部は、ドリフト半導体部の導電型と逆導電型を有し、ドリフト半導体部の第1、第2及び第3の領域上に設けられている。チャネル半導体部は、埋込半導体部に沿って設けられ、埋込半導体部の導電型と逆

導電型を有し、ドリフト半導体部の第 4 の領域に電氣的に接続されている。ソース半導体部は、ドリフト半導体部の第 1 の領域及びチャネル半導体部上に設けられている。複数のゲート半導体部は、ドレイン半導体部の導電型と逆導電型を有し、第 3 及び第 4 の領域及びチャネル半導体部上に設けられている。複数のゲート半導体部の各々は、第 3 の領域から第 4 の領域に向かう方向に延び、複数のゲート半導体部の間にはチャネル半導体部が設けられており、各ゲート半導体部は埋込半導体部に接続されている。

【0012】 この様なトランジスタによれば、複数のゲート半導体部の間にチャネル半導体部を有するので、チャネル半導体部は両側から制御される。故に、チャネルの厚さを大きくでき、損失を小さくできる。

【0013】 また、縦型接合型電界効果トランジスタは、ドレイン半導体部と、ドリフト半導体部と、埋込半導体部と、チャネル半導体部と、ゲート半導体部とを備える。ドリフト半導体部は、ドレイン半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第 1、第 2、第 3 及び第 4 の領域を有する。埋込半導体部は、ドリフト半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第 1、第 2 及び第 3 の領域上に設けられている。チャネル半導体部は、埋込半導体部に沿って設けられ、埋込半導体部の導電型と逆導電型を有し、ドリフト半導体部の第 4 の領域に電氣的に接続されている。ゲート半導体部は、ドリフト半導体部の導電型と逆導電型を有し、第 3 及び第 4 の領域及びチャネル半導体部上に設けられている。ゲート半導体部は、第 3 の領域から第 4 の領域に向かう方向に延びる複数の凸部を有しており、凸部の間にはチャネル半導体部が設けられており、ドリフト半導体部は埋込半導体部に接続されている。ドリフト半導体部は、ドレイン半導体部の主面と交差する軸方向に延びる第 5 の領域を有し、ドレイン半導体部の導電型と逆導電型を有し、第 5 の領域上に設けられた第 2 の半導体部を更に備える。第 2 の半導体部は、埋込半導体部からソース半導体部に沿って所定の軸方向に延びる。

【0014】 この様なトランジスタによれば、埋込半導体部とゲート半導体部の間にチャンネル半導体部を有するので、チャンネル半導体部は両側から制御される。故に、チャンネルの厚さを大きくでき、損失を小さくできる。

【0015】 縦型接合型電界効果トランジスタは、第1の半導体部を更に備える。第1の半導体部は、ドリフト半導体部の第1、第2の領域及びチャンネル半導体部上に設けられ、ソース半導体部の導電型と同一導電型を有する。第1の半導体部のドーパント濃度は、チャンネル半導体部のドーパント濃度より低いことが好ましい。

【0016】 このようなトランジスタによれば、チャンネル半導体部とソース半導体部との間に第1の半導体部が設けられる。この構造により、エッチングに伴うチャンネル半導体部の厚さの公差を吸収できる。したがって、縦型接合型電界効果トランジスタの電気的特性の個体差を小さくできる。

【0017】 縦型接合型電界効果トランジスタは、ドレイン半導体部と、ドリフト半導体部と、埋込半導体部と、複数のゲート半導体部と、チャンネル半導体部と、接続半導体部と、第1の集合半導体部と、第2の集合半導体部と、ソース半導体部とを備える。ドリフト半導体部は、ドレイン半導体部の主面上に設けられ、この主面に沿って延びる基準面と交差する所定の軸方向に延びる第1から第5の領域を有する。埋込半導体部は、ドリフト半導体部の導電型と逆導電型を有し、ドリフト半導体部の第1から第4の領域上に基準面に沿って設けられている。複数のゲート半導体部は、ドリフト半導体部の第2から第4の領域上に基準面に沿って設けられ、埋込半導体部の導電型と同一導電型を有する。チャンネル半導体部は、埋込半導体部と複数のゲート半導体部との間、及び複数のゲート半導体部の間に設けられ、埋込半導体部の導電型と逆導電型を有する。接続半導体部は、埋込半導体部及びチャンネル半導体部の導電型と同一の導電型を有し、所定の軸方向に延び、埋込半導体部と複数のゲート半導体部とを接続する。第1の集合半導体部は、ドリフト半導体部の第1の領域上においてチャンネル半導体部を接続する。

第2の集合半導体部は、ドリフト半導体部の第5の領域上においてチャネル半導体部を接続する。ソース半導体部は、ドリフト半導体部の第1の領域上に設けられ、第1の集合半導体部に接続される。

【0018】 この様な縦型接合型電界効果トランジスタは、埋込半導体部と複数のゲート半導体部との間にチャネル領域が設けられている。したがって、ゲート半導体部が制御できるチャネル領域を増やすことができる。また、埋込半導体部とチャネル半導体部とをドリフト半導体部上に配置できる。故に、ドリフト半導体部の厚さにより所望のドレイン耐圧を得ることができる。

【0019】 更に、縦型接合型電界効果トランジスタは、ドレイン半導体部と、ドリフト半導体部と、埋込半導体部と、複数のゲート半導体部と、チャネル半導体部と、接続半導体部と、第1の集合半導体部と、第2の集合半導体部と、ソース半導体部と第3の接続半導体部とを備える。ドリフト半導体部は、ドレイン半導体部の主面上に設けられ、この主面に沿って延びる基準面と交差する所定の軸方向に延びる第1から第5の領域を有する。埋込半導体部は、ドリフト半導体部の導電型と逆導電型を有し、ドリフト半導体部の第1から第4の領域上に基準面に沿って設けられている。複数のゲート半導体部は、ドリフト半導体部の第2から第4の領域上に基準面に沿って設けられ、埋込半導体部の導電型と同一導電型を有する。チャネル半導体部は、埋込半導体部と複数のゲート半導体部との間、及び複数のゲート半導体部の間に設けられ、埋込半導体部の導電型と逆導電型を有する。接続半導体部は、チャネル半導体部の導電型と同一の導電型を有し、複数のゲート半導体部を接続する。第1の集合半導体部は、ドリフト半導体部の第1の領域上においてチャネル半導体部を接続する。第2の集合半導体部は、ドリフト半導体部の第5の領域上においてチャネル半導体部を接続する。ソース半導体部は、ドリフト半導体部の第1の領域上に設けられ、第1の集合半導体部に接続される。ドリフト半導体部は、主面上に設けられ、この主面と交差する方向に延びる第6の領域を有する。第3の接続半導体部は、ドレイン半導体部の導電型

と逆導電型を有し、第6の領域上に設けられている。第3の接続半導体部は、第1の集合半導体部に沿って設けられている。

【0020】 これにより、複数のゲート半導体部は、第3の接続半導体部を介して埋込半導体部と電氣的に接続される。これにより、埋込半導体部と複数のゲート半導体部とを共にゲートとして使用できる。したがって、制御できるチャンネルの厚さが増す。

【0021】 縦型接合型電界効果トランジスタにおいて、ゲート半導体部及びチャンネル半導体部の厚さは、ドリフト半導体部の第1の領域上の埋込半導体部とソース半導体部との間隔より小さいことが好ましい。

【0022】 また、縦型接合型電界効果トランジスタにおいて、ドリフト半導体部の第2から第4の領域上の複数のゲート半導体部及びチャンネル半導体部の厚さは、ドリフト半導体部の第1の領域上の埋込半導体部とソース半導体部との間隔より小さいことが好ましい。

【0023】 これらのトランジスタによれば、埋込半導体部をソース半導体部から離すことができる。これにより、ゲートとソース間の耐圧が向上される。また、チャンネル半導体部とソース半導体部との距離は、縦方向にとられるので、この距離を大きくとってもトランジスタのチップサイズは大きくならない。

【0024】 好ましくは、縦型接合型電界効果トランジスタにおいて、ゲート半導体部の凸部の間隔は、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されている。

【0025】 好ましくは、縦型接合型電界効果トランジスタにおいて、ゲート半導体部の凸部の間隔、及びゲート半導体部の凸部と埋込半導体部との間隔は、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されている。

【0026】 好ましくは、縦型接合型電界効果トランジスタにおいて、各ゲート半導体部の間隔、及びゲート半導体部と埋込半導体部との間隔は、当該縦型接

合型電界効果トランジスタがノーマリオフ特性を示すように決定されている。

【0027】 これらの縦型接合型電界効果トランジスタによれば、チャネル半導体部の厚さをエッチングによって決定できる。このため、各ゲート半導体部あるいは埋込半導体部と、当該半導体部と逆導電型を有するチャネル半導体部との間の拡散電位によって生じる空乏層がチャネル半導体部の全域にひろがるように、チャネル半導体部の不純物濃度及び厚さを薄くすることが容易になる。したがって、ゲート電圧が印加されていなくても、チャネル半導体部を空乏化させることが可能となり、ノーマリオフ型のトランジスタを実現できる。

【0028】 縦型接合型電界効果トランジスタによれば、チャネル半導体部は、低濃度層と高濃度層とが交互に積層されている構造を有する。各層の厚さは、 $n\text{ m}$ （ナノメータ： 10^{-9} m ）オーダーである。この構造により、多数のキャリアが存在する高濃度層から、量子効果により、キャリア移動度の大きい低濃度層へキャリアが浸みだす。その結果、チャネル半導体部に流れる電流が増大し、チャネル半導体部の損失が低減される。

【0029】 縦型接合型電界効果トランジスタのドリフト半導体部は、ドレイン半導体部の主面と交差する基準面に沿って延びドレイン半導体部の導電型と同一の導電型を有しチャネル半導体部に電氣的に接続される導電半導体領域と、当該導電半導体領域に隣接して設けられドレイン半導体部の導電型と逆導電型を有し埋込半導体部に電氣的に接続される非導電半導体領域とを有することが好ましい。また、導電半導体領域と非導電半導体領域とが、ドリフト半導体部の第1から第4の領域が並ぶ方向と同一の方向、あるいは交差する方向に形成されていることが好ましい。

【0030】 このような縦型接合型電界効果トランジスタによれば、ドリフト半導体部の損失を小さくできる。すなわち、ゲート半導体部にドレイン電流が流れるように電圧を印加すると、チャネル半導体部で制御されたドレイン電流は、ドリフト半導体部の導電半導体領域を経由してドレイン半導体部に達する。一方、

ゲート半導体部にドレイン電流が流れないように電圧を印加すると、ドリフト半導体部の導電半導体領域及び非導電半導体領域が、共に空乏化されるように不純物濃度及び各半導体領域の厚さが決定されており、一種の誘電体と等価な状態になる。この様な状態においては、ドリフト半導体部は一定の電界強度を有するので、ドリフト半導体部に導電半導体領域及び非導電半導体領域がない場合に比べて、ドリフト半導体部の厚さを半分にできる。したがって、所望のドレイン耐圧を実現するにあたり、導電半導体領域の不純物濃度を高くでき、かつ、ドリフト半導体部の厚さを半分にできる。その結果、ドリフト半導体部の損失を小さくできる。

【0031】 このような縦型接合型電界効果トランジスタでは、ワイドギャップ半導体材料であるSiCやGaN等により、ドレイン半導体部、ドリフト半導体部、埋込半導体部、ゲート半導体部、チャネル半導体部、接続半導体部、及びソース半導体部などの各半導体部を形成することが好ましい。ワイドギャップ半導体は、シリコンに比べてバンドギャップが大きく最大絶縁破壊強度が大きいなど、パワーデバイス半導体材料として優れた特性を有する。したがって、特にシリコンと比較して低損失が実現できる。

【0032】 縦型接合型電界効果トランジスタの製造方法は、第1導電型の基板上に、第1導電型の第1半導体層を形成する工程を備え、第1半導体層の主面は、所定の軸方向に順に配置された第1から第4の領域を有しており、第1半導体層の主面の第1から第3の領域に第2導電型のドーパントを導入して、埋込半導体部を形成する工程を備え、第1半導体層上に第1導電型の第2半導体層を形成する工程を備え、第2半導体層上に第1導電型のソース半導体層を形成する工程を備え、第1半導体層の主面の少なくとも第2、第3、第4の何れかの領域上のソース半導体層を、第1半導体層に到達するようにエッチングして第2半導体層の所定領域を露出する工程を備え、所定領域は、所定の軸方向に延びる複数の第1の部分と、該複数の部分を含むように規定された第2の部分とを有しており

、ゲート半導体部のための第2導電型のドーパントを複数の第1の部分に導入して第2導電型の第1の半導体部を形成する工程を備える。

【0033】 縦型接合型電界効果トランジスタの製造方法において、ゲート半導体部のための第2導電型のドーパントを第2の部分に導入して第2導電型の第2の半導体部を形成する工程を更に備え、第2の半導体部の深さは第1の半導体部の深さより浅いことが好ましい。

【0034】 縦型接合型電界効果トランジスタの製造方法において、第1の半導体部は埋込半導体部に接続されるように形成されることが好ましい。

【0035】 縦型接合型電界効果トランジスタの製造方法は、第1導電型の基板上に、第1導電型の第1半導体層を形成する第1半導体層形成工程を備え、第1半導体層の主面は、所定の軸方向に順に配置された第1から第4の領域を有しており、第1半導体層の主面の第1から第3の領域に第2導電型のドーパントを導入して、埋込半導体部を形成する埋込半導体部形成工程を備え、第1半導体層上に第1導電型の第2半導体層を形成する第2半導体層形成工程を備え、第1半導体層の主面の第2及び第3の領域上の第2半導体層に、ゲート半導体部のための第2導電型のドーパントを所定の深さで導入して第2導電型の第2の半導体領域を形成する第2半導体領域工程を備え、所望の数の第2半導体層が得られるまで第2半導体層形成工程及び第2半導体領域工程を繰り返して、積層された複数のゲート半導体部及びチャネル半導体部を形成するチャネル半導体部形成工程を備え、チャネル半導体部上にソース半導体部を形成するソース半導体部形成工程を備える。

【0036】 縦型接合型電界効果トランジスタの製造方法において、第2半導体層形成工程では、所定の厚さを有する第1導電型の第2半導体層を第1半導体層上に形成し、チャネル半導体部形成工程では、第2半導体層内の所定の深さで濃度が極大になるように第2導電型のドーパントを導入して、積層された複数のゲート半導体部及びチャネル半導体部を形成することが好ましい。

【0037】 縦型接合型電界効果トランジスタの製造方法において、チャネル半導体部形成工程では、第2半導体層内の所定の深さで濃度が極大になるように第1のドーパント及び第2のドーパントを交互に導入して、積層された複数のゲート半導体部及びチャネル半導体部を同時に形成することが好ましい。

5 【0038】 縦型接合型電界効果トランジスタの製造方法において、チャネル半導体部形成工程は、第2半導体層内を互いに接続するように第2導電型の第2の半導体接続領域を形成する接続領域形成工程を含むことが好ましい。

10 【0039】 縦型接合型電界効果トランジスタの製造方法において、第1半導体層を形成する工程では、第1導電型の基板と同一導電型の導電半導体層を形成し、導電半導体層と逆導電型の非導電半導体層を導電半導体層上に形成し、導電半導体層がチャネル半導体部と電氣的に接続されるように、第1半導体層を形成することが好ましい。

15 【0040】 縦型接合型電界効果トランジスタの製造方法において、第1半導体層を形成する工程では、第1導電型の基板と逆導電型の非導電半導体層を形成し、非導電半導体層と逆導電型の導電半導体層を非導電半導体層上に形成し、導電半導体層がチャネル半導体部と電氣的に接続されるように、第1半導体層を形成することが好ましい。

20 【0041】 縦型接合型電界効果トランジスタの製造方法において、第1半導体層を形成する工程では、基板の主面と交差する方向に導電半導体層と非導電半導体層とを形成することにより第1半導体層を形成することが好ましい。

【0042】 縦型接合型電界効果トランジスタにおいて、ソース半導体部及び第2の半導体部と電氣的に接続されたソース電極を更に備え、埋込半導体部は第2の半導体部を介してソース電極に電氣的に接続されることが好ましい。

25 【0043】 この様な縦型接合型電界効果トランジスタによれば、ソース電極に第2の半導体部を接続することにより、埋込半導体部とソース半導体部とが同一のソース電極に電氣的に接続される。これにより、ゲート・ドレイン間の容量

成分が、ゲート・ソース間の容量成分となるため、高周波動作が可能となる。

【0044】 本発明に係る縦型接合型電界効果トランジスタは、ドレイン半導体部と、ドリフト半導体部と、埋込半導体部と、チャンネル半導体部と、ソース半導体部と、第1のゲート半導体部と、第1のゲート電極と、ソース電極とを備える。ドリフト半導体部は、ドレイン半導体部の主面上に設けられ、この主面と交差する方向に延びる第1、第2、第3及び第4の領域を有する。埋込半導体部は、ドリフト半導体部の導電型と逆導電型を有し、ドリフト半導体部の第1、第2及び第4の領域上に設けられる。チャンネル半導体部は、第1及び第2の領域上の埋込半導体部に沿って設けられ、埋込半導体部の導電型と異なる導電型を有し、ドリフト半導体部の第3の領域に電氣的に接続される。ソース半導体部は、ドリフト半導体部の第1の領域及びチャンネル半導体部上に設けられる。第1のゲート半導体部は、埋込半導体部と同一の導電型を有し、埋込半導体部と電氣的に接続され、ドリフト半導体部の第4の領域上に設けられる。第1のゲート電極は、ドリフト半導体部の第4の領域上に第1のゲート半導体部と電氣的に接続される。ソース電極は、ドリフト半導体部の第1の領域上のソース半導体部と電氣的に接続され、第1のゲート電極上に第1のゲート電極と電氣的に絶縁され、ドリフト半導体部の第1、第2、第3及び第4の領域上に設けられる。

【0045】 この様な縦型接合型電界効果トランジスタによれば、埋込半導体部及びチャンネル半導体部と、第1のゲート電極及びソース電極とをドリフト半導体部上に配置できる。この構造では、チャンネル半導体部の損失とドリフト半導体部の損失との和がデバイスの基本損失となる。このため、チャンネル半導体部のみによりデバイスの耐圧を高耐圧にすると、チャンネルの不純物濃度は低くなり、チャンネル長も長くなり、デバイスの損失は大きくなる。そこで、本発明の構造のように、ドレイン電流を制御するチャンネル半導体部とデバイスの耐圧を担うドリフト半導体部とを設けることにより、以下に示す効果がある。第一に、チャンネル半導体部は不純物濃度を高くでき、かつ、チャンネル長を短くできるので、チャンネル

半導体部の損失を小さくできる。第二に、ドリフト半導体部は、その不純物濃度及び厚さにより所望のドレイン耐圧を得ることができ、損失を最小限度にとどめることが可能となる。第三に、ドリフト半導体部とチャネル半導体部とを縦方向に積層することにより、限られた面積におけるデバイス損失が低減される。

5 【0046】 また、縦型接合型電界効果トランジスタは、第2のゲート半導体部を更に備えることが好ましい。第2のゲート半導体部は、ドレイン半導体部の導電型と逆導電型を有し、ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に設けられる。第1のゲート半導体部と第2のゲート半導体部との間には、チャネル半導体部が設けられる。ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に、第2のゲート半導体部と電氣的に接続され、ソース電極の下に電氣的に絶縁された第2のゲート電極が設けられる。

10 【0047】 この様なトランジスタによれば、第1のゲート埋込半導体部と第2のゲート半導体部との間にチャネル半導体部を有するので、チャネル半導体部は両側から制御される。故に、チャネルの厚さを大きくでき、損失を小さくできる。

15 【0048】 また、縦型接合型電界効果トランジスタは、第1のゲート半導体部とソース半導体部とをソース電極により電氣的に接続することにより、第2のゲート半導体部のみをゲート電極とする。トランジスタの動作周波数を表す指標としては、帰還容量（ゲート／ドレイン間容量）÷相互コンダクタンスが用いられることが多い。第1のゲート半導体部をソース電極に接続することにより、ドレイン半導体部と埋込半導体部とによる容量成分が帰還容量から除かれるので、より高周波領域での動作が可能となる。

20 【0049】 縦型接合型電界効果トランジスタには、接続半導体部が設けられる。接続半導体部は、埋込半導体部と同一導電型を有し、第2のゲート半導体部と埋込半導体部とを電氣的に接続するようにチャネル半導体部を貫通し、ドリフト半導体部の第2の領域上に点在する。この構造によれば、ドリフト半導体部の

第４の領域及び第１のゲート半導体部を廃すことができ、同一損失でデバイス面積を小さくできる。

【００５０】 縦型接合型電界効果トランジスタは、第１の半導体部を更に備える。第１の半導体部は、ドリフト半導体部の第１の領域及びチャネル半導体部上に設けられ、ソース半導体部の導電型と同一導電型を有する。第１の半導体部の不純物濃度は、チャネル半導体部の不純物濃度より低いことが好ましい。

【００５１】 このようなトランジスタによれば、チャネル半導体部とソース半導体部との間に第１の半導体部が設けられる。この構造により、エッチングに伴うチャネル半導体部の厚さの公差を吸収できる。したがって、縦型接合型電界効果トランジスタの電気的特性の個体差を小さくできる。

【００５２】 縦型接合型電界効果トランジスタは、複数のトランジスタにより構成される基本セル（ブロック）又はチップの外周部分に、第１及び第２のゲート電極の少なくとも一方がゲート電極として設けられる。また、このような構造のトランジスタにおいて、第１のゲート半導体部とソース半導体部とがソース電極により電氣的に接続されることが好ましい。このような縦型接合型電界効果トランジスタは、ゲート電極とソース電極とを同時に形成することが可能となり、その結果、製造工程を簡略化できる。

【００５３】 縦型接合型電界効果トランジスタは、第２のゲート半導体部とチャネル半導体部とがヘテロ接合を構成するように、ヘテロ接合半導体材料が第２のゲート電極として設けられているものとしてもよい。このような構造のトランジスタによれば、第２のゲート半導体部を形成する工程が不要となり、製造工程が簡略化される。

【００５４】 縦型接合型電界効果トランジスタにおいて、ドリフト半導体部の第２の領域上に設けられたチャネル半導体部の厚さは、ドリフト半導体部の第１の領域上に設けられた埋込半導体部とソース半導体部との間隔よりも小さいことが好ましい。この様なトランジスタによれば、埋込半導体部及び第２のゲート半

導体部をソース半導体部から離すことができる。これにより、ゲートとソース間の耐圧が向上される。また、チャネル半導体部とソース半導体部との距離は、縦方向にとられるので、この距離を大きくとってもトランジスタのチップサイズは大きくならない。

5 【0055】 縦型接合型電界効果トランジスタにおいて、埋込半導体部上のチャネル半導体部の厚さ、あるいは埋込半導体部と第2のゲート半導体部との間に位置する、ドレイン半導体部の導電型と同一導電型のチャネル半導体部の厚さは、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されていることが好ましい。

10 【0056】 この様な縦型接合型電界効果トランジスタによれば、チャネル半導体部の厚さをエッチングによって決定できる。このため、各ゲート半導体部あるいは埋込半導体部と、当該半導体部と逆導電型を有するチャネル半導体部との間の拡散電位によって生じる空乏層がチャネル半導体部の全域にひろがるように、チャネル半導体部の不純物濃度及び厚さを薄くすることが容易になる。したがって、ゲート電圧が印加されていなくても、チャネル半導体部を空乏化させることが可能となり、ノーマリオフ型のトランジスタを実現できる。

15 【0057】 縦型接合型電界効果トランジスタによれば、チャネル半導体部は、低濃度層と高濃度層とが交互に積層されている構造を有する。各層の厚さは、 $n\text{ m}$ （ナノメートル： 10^{-9} m ）オーダーである。この構造により、多数のキャリアが存在する高濃度層から、量子効果により、キャリア移動度の大きい低濃度層へキャリアが浸みだす。その結果、チャネル半導体部に流れる電流が増大し、チャネル半導体部の損失が低減される。

20 【0058】 縦型接合型電界効果トランジスタのドリフト半導体部は、ドレイン半導体部の主面と交差する基準面に沿って延びドレイン半導体部の導電型と同一の導電型を有しドリフト半導体部の第3の領域からチャネル半導体部に電氣的に接続される導電半導体領域と、導電半導体領域に隣接して設けられドレイン半

導体部の導電型と逆導電型を有し埋込半導体部に電氣的に接続される非導電半導体領域とを有することが好ましい。また、導電半導体領域と非導電半導体領域とが、ドリフト半導体部の第1から第4の領域が並ぶ方向と同一の方向、あるいは交差する方向に形成されていることが好ましい。

5 【0059】 このような縦型接合型電界効果トランジスタによれば、ドリフト半導体部の損失を小さくできる。すなわち、ゲート半導体部にドレイン電流が流れるように電圧を印加すると、チャネル半導体部で制御されたドレイン電流は、ドリフト半導体部の導電半導体領域を経由してドレイン半導体部に達する。一方、ゲート半導体部にドレイン電流が流れないように電圧を印加すると、ドリフト半導体部の導電半導体領域及び非導電半導体領域が、共に空乏化されるように不純物濃度及び各半導体領域の厚さが決定されており、一種の誘電体と等価な状態になる。この様な状態においては、ドリフト半導体部は一定の電界強度を有するので、ドリフト半導体部に導電半導体領域及び非導電半導体領域がない場合に比べて、ドリフト半導体部の厚さを半分にできる。したがって、所望のドレイン耐圧を
10 実現するにあたり、導電半導体領域の不純物濃度を高くでき、かつ、ドリフト半導体部の厚さを半分にできる。その結果、ドリフト半導体部の損失を小さくできる。

15 【0060】 このような縦型接合型電界効果トランジスタでは、ワイドギャップ半導体材料であるSiCやGaN等により、ドレイン半導体部、ドリフト半導体部、第1のゲート半導体部、チャネル半導体部などの各半導体部を形成することが好ましい。ワイドギャップ半導体は、シリコンに比べてバンドギャップが大きく最大絶縁破壊強度が大きいなど、パワーデバイス半導体材料として優れた特性を有する。したがって、特にシリコンと比較して低損失が実現できる。

20 【0061】 縦型接合型電界効果トランジスタの製造方法は、第1導電型の基板上に、第1、第2、第3及び第4の領域を有するドリフト半導体層を形成する工程と、ドリフト半導体層の第1、第2及び第4の領域に、ドリフト半導体層の
25

導電型と逆導電型となる不純物を導入して、埋込半導体部を形成する工程と、埋込半導体部及びドリフト半導体層上に、埋込半導体部の導電型と異なる導電型を有するチャネル半導体部を形成する工程と、ドリフト半導体層の第1の領域上にソース半導体部を形成する工程と、ドリフト半導体層の第4の領域上の一部に埋込半導体部の導電型と同一の導電型となる不純物を導入して、第1のゲート半導体部を形成する工程と、第1のゲート半導体部に電氣的に接続された第1のゲート電極を形成する工程と、第1のゲート電極と電氣的に絶縁された層間膜を形成する工程と、層間膜上にソース半導体部と電氣的に接続されるソース電極を形成する工程とを含む。

【0062】 縦型接合型電界効果トランジスタの製造方法は、第1のゲート半導体部を形成する工程に先立って、ドリフト半導体層の第2の領域あるいは第2及び第3の領域に、第1のゲート半導体部の導電型と同一導電型を有する不純物を導入して、第2のゲート半導体部を形成する工程を更に含み、第2のゲート半導体部と電氣的に接続された第2のゲート電極を、第1のゲート電極を形成する工程にて形成することが好ましい。

【0063】 縦型接合型電界効果トランジスタの製造方法は、第1導電型の基板上に、第1、第2、第3及び第4の領域を有するドリフト半導体層を形成する工程と、ドリフト半導体層の第1、第2及び第4の領域に、ドリフト半導体層の導電型と逆導電型となる不純物を導入して、埋込半導体部を形成する工程と、埋込半導体部及びドリフト半導体層上に、埋込半導体部の導電型と異なる導電型を有するチャネル半導体部を形成する工程と、ドリフト半導体層の第1の領域上にソース半導体部を形成する工程と、ドリフト半導体層の第2の領域あるいは第2及び第3の領域に、埋込半導体部の導電型と同一の導電型となる不純物を導入して、第2のゲート半導体部を形成する工程と、ドリフト半導体層の第4の領域上の一部に埋込半導体部の導電型と同一の導電型となる不純物を導入して、第1のゲート半導体部を形成する工程と、第2のゲート半導体部に電氣的に接続された

第2のゲート電極を形成する工程と、第1のゲート半導体部と、ソース半導体部とを同時に電氣的に接続するソース電極を形成する工程とを含むことが好ましい。

【0064】 縦型接合型電界効果トランジスタの製造方法は、第1導電型の基板上に、第1、第2、第3及び第4の領域を有するドリフト半導体層を形成する工程と、ドリフト半導体層の第1、第2及び第4の領域に、ドリフト半導体層の導電型と逆導電型となる不純物を導入して、埋込半導体部を形成する工程と、埋込半導体部及びドリフト半導体層上に、埋込半導体部の導電型と異なる導電型を有するチャンネル半導体部を形成する工程と、ドリフト半導体層の第1の領域上にソース半導体部を形成する工程と、ドリフト半導体層の第2の領域あるいは第2及び第3の領域に、埋込半導体部の導電型と同一の導電型を有する不純物を導入して、第2のゲート半導体部を形成する工程と、ドリフト半導体層の第2の領域上の一部に埋込半導体部の導電型と同一の導電型となる不純物を導入して、埋込半導体部と第2のゲート半導体部とを電氣的に接続する接続半導体部を形成する工程と、第2のゲート半導体部に電氣的に接続された第2のゲート電極を形成する工程とを含むことが好ましい。

【0065】 縦型接合型電界効果トランジスタの製造方法は、ソース半導体部を形成する工程に先立って、チャンネル半導体部上にソース半導体部の導電型と同一導電型を有する第1の半導体部を形成する工程を更に含み、第1の半導体部の不純物濃度は、チャンネル半導体部の不純物濃度より低いことが好ましい。

【0066】 縦型接合型電界効果トランジスタの製造方法は、ドリフト半導体層を形成する工程では、ドレイン半導体部と同一導電型の導電半導体層を形成し、導電半導体層と逆導電型の非導電半導体層を導電半導体層内に形成し、導電半導体層がチャンネル半導体部と電氣的に接続されるように、ドリフト半導体層を形成することが好ましい。

【0067】 縦型接合型電界効果トランジスタの製造方法は、ドリフト半導体層を形成する工程では、ドリフト半導体部と逆導電型の非導電半導体層を形成し、

非導電半導体層と逆導電型の導電半導体層を非導電半導体層内に形成し、導電半導体層がチャネル半導体部と電氣的に接続されるように、ドリフト半導体層を形成することが好ましい。

図面の簡単な説明

5 図 1 A は、第 1 実施形態における縦型 J F E T の斜視図である。図 1 B は、第 1 の実施形態における縦型 J F E T の I-I 線における断面図である。

図 2 A は、ドレイン半導体膜形成工程における斜視図である。図 2 B は、ドリフト半導体膜形成工程における斜視図である。図 2 C は、埋込半導体部形成工程における斜視図である。

10 図 3 A は、チャネル半導体膜形成工程における斜視図である。図 3 B は、ソース半導体膜形成工程における斜視図である。

図 4 A は、ソース半導体部形成工程における斜視図である。図 4 B は、 p^+ 型半導体領域形成工程における斜視図である。

15 図 5 A は、 p^+ 型半導体部形成工程における斜視図である。図 5 B は、熱酸化工程における斜視図である。

図 6 A は、開口部形成工程における斜視図である。図 6 B は、電極形成工程における斜視図である。

図 7 A は、浅い凹部形成工程における斜視図である。図 7 B は、深い凹部形成工程における斜視図である。

20 図 8 は、ゲート半導体部形成工程における斜視図である。

図 9 は、第 4 の実施形態における縦型 J F E T の斜視図である。

図 10 は、第 4 の実施形態における縦型 J F E T の斜視図である。

25 図 11 A は、 p^+ 型半導体膜形成工程における斜視図である。図 11 B は、ソース半導体膜形成工程における斜視図である。図 11 C は、 p^+ 型半導体部形成工程における斜視図である。

図 12 は、第 6 の実施形態における縦型 J F E T の斜視図である。

図 1 3 A は、第 7 の実施形態における縦型 J F E T の斜視図である。図 1 3 B は、第 7 の実施形態における縦型 J F E T の II-II 線における断面図である。

図 1 4 A は、 p^+ 型半導体層形成工程における斜視図である。図 1 4 B は、 p^+ 型接続半導体層形成工程における斜視図である。

5 図 1 5 A は、 p^+ 型ゲート半導体部形成工程における斜視図である。図 1 5 B は、 p^+ 型ゲート半導体部形成工程における斜視図である。

図 1 6 A は、チャネル半導体膜形成工程における斜視図である。図 1 6 B は、ソース半導体膜形成工程における斜視図である。

10 図 1 7 A は、ソース半導体部形成工程における斜視図である。図 1 7 B は、熱酸化工程における斜視図である。

図 1 8 A は、開口部形成工程における斜視図である。図 1 8 B は、電極形成工程における斜視図である。

図 1 9 A は、第 9 の実施形態における縦型 J F E T の斜視図である。図 1 9 B は、第 9 の実施形態における縦型 J F E T の III-III 線における断面図である。

15 図 2 0 A は、第 2 の p^+ 型半導体層形成工程における斜視図である。図 2 0 B は、 p^+ 型接続半導体層形成工程における斜視図である。

図 2 1 A は、第 1 1 の実施形態における縦型 J F E T の斜視図である。図 2 1 B は、第 1 1 の実施形態における縦型 J F E T のパルスドープ半導体部の斜視図である。

20 図 2 2 A は、パルスドープ構造を有する別の形態を示す縦型 J F E T の斜視図である。図 2 2 B は、パルスドープ構造を有する更に別の形態を示す縦型 J F E T の斜視図である。

図 2 3 は、第 1 2 の実施形態における縦型 J F E T の斜視図である。

25 図 2 4 A は、第 1 2 の実施形態における縦型 J F E T の斜視図である。図 2 4 B は、第 1 2 の実施形態における縦型 J F E T の斜視図である。

図 2 5 は、第 1 3 の実施形態における縦型 J F E T の断面図である。

図 2 6 は、超接合構造を有する別の形態を示す縦型 J F E T の断面図である。

図 2 7 は、超接合構造を有する更に別の形態を示す縦型 J F E T の断面図である。

図 2 8 A は、第 1 4 の実施形態における縦型 J F E T の半導体領域とゲート半
5 導体部との位置関係を示す模式図である。図 2 8 B は、第 1 3 の実施形態における縦型 J F E T を示す模式図である。図 2 8 C は、更に別の形態における縦型 J F E T を示す模式図である。

図 2 9 A は、ドリフト領域形成工程における縦型 J F E T の斜視図である。図
2 9 B は、 p^+ 型半導体領域形成工程における縦型 J F E T の斜視図である。図
10 2 9 C は、ソース領域形成工程における縦型 J F E T の斜視図である。

図 3 0 は、第 1 6 の実施形態における縦型 J F E T の断面図である。

図 3 1 A は、ドレイン半導体膜形成工程における断面図である。図 3 1 B は、
ドリフト半導体膜形成工程における断面図である。図 3 1 C は、ゲート半導体部
形成工程における断面図である。

15 図 3 2 A は、チャネル半導体膜形成工程における断面図である。図 3 2 B は、
ソース半導体膜形成工程における断面図である。図 3 2 C は、ソース半導体部形
成工程における断面図である。

図 3 3 A は、 p^+ 型ゲート半導体部形成工程における断面図である。図 3 3 B
は、熱酸化工程における断面図である。図 3 3 C は、開口部形成工程における断
20 面図である。

図 3 4 A は、ゲート電極形成工程における断面図である。図 3 4 B は、絶縁膜
形成工程における断面図である。図 3 4 C は、開口部形成工程における断面図で
ある。

図 3 5 は、ソース電極形成工程における断面図である。

25 図 3 6 は、第 1 8 の実施形態における縦型 J F E T の断面図である。

図 3 7 A は、チャネル半導体膜形成工程における断面図である。図 3 7 B は、

n^- 型半導体膜形成工程における断面図である。図 3 7 C は、ソース半導体部形成工程における断面図である。

図 3 8 は、第 2 0 の実施形態における縦型 J F E T の斜視図である。

図 3 9 は、第 2 1 の実施形態における縦型 J F E T の断面図である。

5 図 4 0 A は、 p^+ 型ゲート半導体部形成工程における断面図である。図 4 0 B は、 p^+ 型ゲート半導体部形成後における断面図である。

図 4 1 は、第 2 3 の実施形態における縦型 J F E T の断面図である。

10 図 4 2 A は、第 2 4 の実施形態における縦型 J F E T の断面図である。図 4 2 B は、第 2 4 の実施形態における縦型 J F E T の III-III 線における断面図である。

図 4 3 A は、第 2 5 の実施形態における縦型 J F E T の断面図である。図 4 3 B は、第 2 5 の実施形態における縦型 J F E T のパルスドープ半導体部の断面図である。

図 4 4 は、第 2 6 の実施形態における縦型 J F E T の断面図である。

15 図 4 5 は、超接合構造を有する別の形態を示す縦型 J F E T の断面図である。

図 4 6 は、超接合構造を有する更に別の形態を示す縦型 J F E T の断面図である。

20 図 4 7 A は、第 2 7 の実施形態における縦型 J F E T の半導体領域とゲート半導体部との位置関係を示す模式図である。図 4 7 B は、第 2 7 の実施形態における縦型 J F E T を示す模式図である。図 4 7 C は、更に別の形態における縦型 J F E T を示す模式図である。

図 4 8 A は、ドリフト領域形成工程における縦型 J F E T の斜視図である。図 4 8 B は、 p^+ 型半導体領域形成工程における縦型 J F E T の斜視図である。図 4 8 C は、ソース領域形成工程における縦型 J F E T の斜視図である。

25 発明を実施するための最良の形態

【0068】 以下、添付図面を参照して、本発明に係る縦型接合型電界効果ト

ランジスタの好適な実施形態について詳細に説明する。なお、以下の説明において、同一又は相当する要素には、同一の符号を付し、重複する説明は省略する。また、図中のトランジスタのアスペクト比は、実際のトランジスタのものと必ずしも一致するものではない。

5 【0069】(第1の実施形態) 図1Aは、第1の実施形態における縦型JFET 1aの斜視図である。図1Aに示す様に、縦型JFET 1aは、 n^+ 型ドレイン半導体部2と、 n 型ドリフト半導体部3と、 p^+ 型埋込半導体部4と、 n 型チャネル半導体部5と、 n^+ 型ソース半導体部7、 p^+ 型ゲート半導体部8とを有する。

10 【0070】 縦型JFET 1aは、この素子の一方の面から他方の面に向かう方向(以下、「電流方向」と記す。)に、多数キャリアが移動する縦型構造を有する。図1Aには、座標系が示されている。この座標は、JFETの電流方向を y 軸に合わせるように規定されている。

15 【0071】 n^+ 型ドレイン半導体部2は、対向する一対の面を有する。また、 n^+ 型ドレイン半導体部2は、ドーパントが添加された基板であることができ、好適な実施例では、この基板は、SiC(炭化珪素)により形成されている。SiCに添加されるドーパントとしては、周期律表第5族元素であるN(窒素)、P(リン)、As(砒素)といったドナー不純物が利用できる。 n^+ 型ドレイン半導体部2は、一対の面の一方(裏面)にドレイン電極2aを有する。ドレイン電極2aは金属で形成されている。

20 【0072】 n 型ドリフト半導体部3は、 n^+ 型ドレイン半導体部2の一対の面の他方(表面)上に設けられている。 n 型ドリフト半導体部3は、その表面に、 y 軸方向に順に配置された第1～第4の領域3a, 3b, 3c, 3dを有する。第1～第4の領域3a, 3b, 3c, 3dの各々は、所定の軸方向(図1Aの x 軸方向)に延びており、好適な実施例では、矩形状の領域である。第1、第2、
25 第3の領域3a, 3b, 3c上には p^+ 型埋込半導体部4が設けられている。第

4の領域3d上にはチャネル半導体部5が設けられている。ドリフト半導体部3の導電型はドレイン半導体部2の導電型と同一であって、ドリフト半導体部3のドーパント濃度は、ドレイン半導体部2のドーパント濃度より低い。好適な実施例では、ドリフト半導体部3は、ドーパントが添加されたSiC（炭化珪素）により形成されている。

【0073】 p⁺型埋込半導体部4は、第1、第2、第3の領域3a, 3b, 3c上に設けられている。埋込半導体部4の導電型はドリフト半導体部3の導電型と反対である。埋込半導体部4のp型ドーパント濃度は、ドリフト半導体部3のn型ドーパント濃度よりも高い。好適な実施例では、p⁺型埋込半導体部4は、ドーパントが添加されたSiC（炭化珪素）により形成されている。このドーパントとしては、周期律表第3族元素であるB（硼素）、Al（アルミニウム）といったアクセプタ不純物が利用できる。

【0074】 n型チャネル半導体部5は、第1～第3の領域3a, 3b, 3c及びp⁺型埋込半導体部4上と、第4の領域3d上とに設けられている。n型チャネル半導体部5は、p⁺型埋込半導体部4に沿って所定の軸方向（図1Aのy軸方向）に延びる。n型チャネル半導体部5は、第4の領域3dにおいてn型ドリフト半導体部3と電氣的に接続されている。チャネル半導体部5の導電型は埋込半導体部4の導電型と反対であるので、埋込半導体部4とチャネル半導体部5との界面にはpn接合が形成される。n型チャネル半導体部5のドーパント濃度は、n⁺型ドレイン半導体部2のドーパント濃度よりも低い。好適な実施例では、n型チャネル半導体部5は、ドーパントが添加されたSiCにより形成されている。

【0075】 n⁺型ソース半導体部7は、第1の領域3a及びn型チャネル半導体部5上に設けられている。ソース半導体部7は、ドレイン半導体部2の導電型と同一導電型を有する。ソース半導体部7は、チャネル半導体部5を介して、ドリフト半導体部3と接続されている。また、n⁺型ソース半導体部7上には、

ソース電極 7 a が設けられている。ソース電極 7 a は金属で形成されている。n 型ソース半導体部 7 上にはシリコン酸化膜といった絶縁膜 9 が設けられており、n 型ソース半導体部 7 は絶縁膜 9 の開口部を介してソース電極 7 a と接続されている。

5 【0076】 p^+ 型ゲート半導体部 8 は、図 1 B に示す様に、第 3 及び第 4 の領域 3 c, 3 d 及びチャネル半導体部 5 上に設けられている。 p^+ 型ゲート半導体部 8 は、第 3 の領域 3 c から第 4 の領域 3 d に向かう方向（図中 y 軸方向）に延びる凸部 8 b, 8 c, 8 d を有する。凸部 8 b, 8 c, 8 d は、埋込半導体部 4 に達するように延びている。凸部 8 b, 8 c, 8 d は、第 3 の領域 3 c 上において埋込半導体部 4 と電氣的に接続されている。凸部 8 b, 8 c, 8 d の間には
10 n 型チャネル半導体部 5 が設けられている。ゲート半導体部 8 の導電型はチャネル半導体部 5 の導電型と反対であるので、ゲート半導体部 8 とチャネル半導体部 5 との界面には p n 接合が形成される。n 型チャネル半導体部 5 を流れるドレイン電流は、 p^+ 型埋込半導体部 4 と p^+ 型ゲート半導体部 8 とによって制御される。
15 ゲート半導体部 8 の p 型ドーパント濃度は、チャネル半導体部 5 の n 型ドーパント濃度よりも高い。好適な実施例では、 p^+ 型ゲート半導体部 8 は、ドーパントが添加された SiC により形成されている。好適な実施例では、チャネル長（図中 y 軸方向）は、チャネル厚（図中 z 軸方向）の 10 倍より大きい。 p^+ 型ゲート半導体部 8 の表面上には、ゲート電極 8 a が設けられている。ゲート電極 8 a
20 は金属で形成されている。ソース電極 7 a は金属で形成されている。 p^+ 型ゲート半導体部 8 上にはシリコン酸化膜といった絶縁膜 9 が設けられており、 p^+ 型ゲート半導体部 8 は絶縁膜 9 の開口部を介してゲート電極 8 a と接続されている。矢印 e は、ソース半導体部 7 からドレイン半導体部 2 に流れる電流の経路を示す。

25 【0077】（第 2 の実施形態） 次に、縦型 JFET 1 a の製造方法について説明する。図 2 A～図 2 C、図 3 A 及び図 3 B、図 4 A 及び図 4 B、図 5 A 及び図 5 B、図 6 A 及び図 6 B、図 7 A 及び図 7 B、図 8 は、第 2 の実施形態に係る縦

型 J F E T 1 a の製造工程を示す斜視図である。

【0078】(ドレイン半導体膜形成工程) まず、図2Aに示す様に基板を準備する。基板としては、 n^+ 型 S i C 半導体基板が例示される。基板のドーパント濃度は、この基板がドレイン半導体部2として利用できる程度に高濃度である。

5 【0079】(ドリフト半導体膜形成工程) 図2Bに示す様に、 n^+ 型ドレイン半導体部2の表面に S i C 膜3をエピタキシャル成長法により形成する。S i C 膜3の膜厚 T 1 は、例えば、 $10\mu\text{m}$ である。S i C 膜3の導電型は、 n^+ 型ドレイン半導体部2の導電型と同一である。また、S i C 膜3のドーパント濃度は、 n^+ 型ドレイン半導体部2のドーパント濃度よりも低い。S i C 膜3のドーパント濃度は、例えば、 $1 \times 10^{16} / \text{cm}^3$ 程度である。この S i C 膜3からは、 n 型ドリフト半導体部が形成される。

15 【0080】(埋込半導体部形成工程) 図2Cを参照して、埋込半導体部を形成する工程について説明する。所定の軸方向(図中 x 軸方向)に延びるパターンを有するマスク M 1 を形成する。このマスク M 1 を用いて、S i C 膜3上に形成された領域 3 e にドーパント A 1 を選択的にイオン注入して、所定の深さを有する p^+ 型埋込半導体部4を形成する。 p^+ 型埋込半導体部4の深さ D 1 は、例えば、 $1.2\mu\text{m}$ 程度である。 p^+ 型埋込半導体部4のドーパント濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 程度である。埋込半導体部を形成した後、マスク M 1 を除去する。

20 【0081】(チャネル半導体膜形成工程) 図3Aに示す様に、 p^+ 型埋込半導体部4の表面及び S i C 膜3上に S i C 膜5をエピタキシャル成長法により形成する。S i C 膜5の膜厚 T 2 は、例えば、 $0.5\mu\text{m}$ 程度である。S i C 膜5の導電型は、ドレイン半導体部2の導電型と同一である。また、S i C 膜5のドーパント濃度は、ドレイン半導体部2のドーパント濃度よりも低い。S i C 膜5のドーパント濃度は、例えば、 $1 \times 10^{17} / \text{cm}^3$ 程度である。この S i C 膜5からは、 n 型チャネル半導体部が形成される。なお、本実施形態では、 n 型ドリフ

ト半導体部、及びn型チャネル半導体部のために単一のSiC膜を形成したけれども、ドリフト半導体部及びチャネル半導体部の各々のためにSiC膜を繰り返して成膜する複数の成膜工程を含むようにしてもよい。また、SiC膜3がドリフト半導体部及びチャネル半導体部として働くように、所望のドーパント濃度プロファイル

5 SiC膜に対して採用できる。

【0082】(ソース半導体膜形成工程) 図3Bに示す様に、SiC膜5の表面に、エピタキシャル成長法により、n⁺型ソース半導体部のためのSiC膜7を形成する。SiC膜7の膜厚T3は、例えば、0.2μm程度である。SiC膜7の導電型は、ドレイン半導体部2の導電型と同一である。また、SiC膜7のドーパント濃度は、SiC膜5のドーパント濃度よりも高い。

10

【0083】(ソース半導体部形成工程) 図4Aを参照して、ソース半導体部を形成する工程について説明する。所定の軸方向(図中x軸方向)に延びるパターンを有するマスクM2を形成する。マスクM2を用いて、n⁺型ソース膜7とSiC膜5とを選択的にエッチングする。その結果、マスクM2で覆われたn⁺型ソース層7とSiC膜5の部分がエッチングされずに残り、n⁺型ソース半導体部のための半導体部が形成される。この半導体部を形成した後、マスクM2を除去する。

15

【0084】(p⁺型半導体領域形成工程) 図4Bを参照して、p⁺型半導体領域を形成する工程について説明する。所定形状のパターンを有するマスクM3を形成する。マスクM3によりSiC膜5上に規定された領域5a, 5b, 5cにドーパントA2を選択的にイオン注入して、所定の深さを有するp⁺型半導体領域81, 82, 83を形成する。p⁺型半導体領域81, 82, 83のドーパント濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 程度である。p⁺型半導体領域を形成した後、マスクM3を除去する。

20

【0085】(p⁺型半導体部形成工程) 図5Aを参照して、p⁺型半導体部を形成する工程について説明する。所定形状のパターンを有するマスクM4を形成

25

する。マスクM4によりSiC膜5上に規定された領域（例えば、領域5a～5cを含む領域5a～5e）にドーパントA3を選択的にイオン注入して所定の深さを有するp⁺型半導体層84, 85を形成する。p⁺型半導体層84, 85のドーパント濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 程度である。また、表面近傍の濃度は、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 程度である。p⁺型半導体層を形成した後、マスクM4を除去する。なお、p⁺型半導体層形成工程とp⁺型半導体部形成工程を行う順序は可換である。

【0086】（熱酸化工程） 図5Bを参照して、縦型JFET1aを熱酸化する工程について説明する。縦型JFET1aに熱酸化処理を施す。熱酸化処理は、高温（例えば約1200℃）でSiCを酸化性雰囲気（酸素）に晒すと、各半導体部中のシリコンが酸素と化学反応してシリコン酸化膜（SiO₂）が形成される。その結果、各半導体部の表面が酸化膜9により覆われる。

【0087】（開口部形成工程） 図6Aを参照して、ソース電極及びゲート電極を形成するための開口部を形成する工程について説明する。フォトリソのマスクを用いて、酸化膜9を選択的にエッチングして開口部9a, 9bを形成する。開口部9a, 9bでは、ソース半導体部7及びゲート半導体部8の表面部分がそれぞれ露出している。これらの露出部分がそれぞれソース電極及びゲート電極への導通部分となる。開口部を形成した後、レジストマスクを除去する。

【0088】（電極形成工程） 図6Bを参照して、電極を形成する工程について説明する。まず、縦型JFET1aの表面に、例えばニッケル（Ni）といったオーミックコンタクト電極用の金属膜を堆積する。次に、ソース電極用開口部9aとゲート電極用開口部9bにのみNiを残す様に、フォトリソのマスクを形成して、Ni金属膜をエッチングし、レジストを除去する。続いて、高温（例えば、Niの場合1000℃程度）の窒素、アルゴン等の不活性ガス雰囲気中で熱処理することにより、オーミックコンタクトを形成する。オーミックコンタクト電極用の金属膜の材料としては、Ni、タングステン（W）、チタン（Ti）な

どであってもよく、これらに限定されない。

【0089】 さらに、アルミニウム(A1)といった電極用金属膜を堆積する。所定の形状を有するフォトリジストのマスクを形成する。このマスクを用いて、電極用の金属膜を選択的にエッチングする。その結果、レジストパターンで覆われた電極用の金属膜の部分がエッチングされずに残り、ソース電極7a及びゲート電極8aとなる。電極用金属膜の材料としては、アルミニウム合金や銅(Cu)、タングステン(W)であってもよく、これらに限定されない。電極を形成した後、レジストマスクを除去する。

【0090】 以上説明した工程により、第1の実施形態に示された縦型JFET1aが完成した。縦型JFET1aの構造では、 p^+ 型埋込半導体部4及び p^+ 型ゲート半導体部8をn型ドリフト半導体部3上に配置できる。故に、チップサイズを大きくすることなく、n型ドリフト半導体部3の厚さにより所望のドレイン耐圧を得ることができる。したがって、ソースとドレイン間の耐圧を向上できる。また、n型チャネル半導体部5の下だけでなく、 p^+ 型埋込半導体部4の下に位置するn型ドリフト半導体部3にもキャリアが流れる。したがって、耐圧を維持しつつオン抵抗を下げることができる。つまり、本構造は高耐圧JFETに好適である。

【0091】 縦型JFET1aは、 p^+ 型埋込半導体部4と p^+ 型ゲート半導体部8との間にn型チャネル半導体部5が設けられると共に、 p^+ 型ゲート半導体部8の凸部間にもn型チャネル半導体部5が設けられる。この構造によれば、n型チャネル半導体部5の片側からチャネルを制御する場合に比べて、制御できるチャネルの幅が増す。 p^+ 型埋込半導体部4と p^+ 型ゲート半導体部8との間隔Aが、 p^+ 型ゲート半導体部8の凸部間の間隔Bよりも広い場合には、間隔Bにより縦型JFET1aの閾値が決定される。反対に、 p^+ 型埋込半導体部4と p^+ 型ゲート半導体部8との間隔Aが、 p^+ 型ゲート半導体部8の凸部間の間隔Bよりも狭い場合には、間隔Aにより縦型JFET1aの閾値が決定される。

【0092】 また、本実施形態では、ドレイン、ソース、ゲートの半導体部を SiC により形成した。SiC は、Si（珪素）や GaAs（ガリウム砒素）といった半導体に比べて以下の点において優位である。すなわち、高融点且つバンドギャップ（禁制帯幅）が大きいので、素子の高温動作が容易になる。また、絶縁破壊電界が大きいので高耐圧化が可能となる。更には、熱伝導率が高いので大電流・低損失化が容易になるといった利点がある。

【0093】（第3の実施形態） 本実施形態は、縦型 JFET 1a の p⁺型半導体層形成工程及び p⁺型半導体部形成工程において、第2の実施形態と異なる製造方法に関する。すなわち、第2の実施形態では、イオン注入法によりゲート半導体部 8 を形成したが、本実施形態では、以下に示す工程を経てゲート半導体部 8 を形成する。なお、p⁺型半導体層形成工程及び p⁺型半導体部形成工程以外の工程に関しては、その説明と図示は省略する。第2の実施形態と同様である各構成部分には同一の符号を付した。

【0094】（浅い凹部形成工程） 図7Aを参照して、n型半導体層 5 に浅い凹部を形成する工程について説明する。浅い凹部形成工程は、第2の実施形態のソース半導体部形成工程に引き続いて行われる。所定形状のパターンを有するフォトレジストマスク M5 を形成する。マスク M5 を用いて、n型半導体層 5 を選択的にエッチングする。エッチングの深さ D5 は、p⁺型埋込半導体部 4 に達する程度である。その結果、レジストパターンで覆われた n型半導体層 5 の部分がエッチングされずに残り、浅い凹部が形成される。浅い凹部を形成した後、マスク M5 を除去する。

【0095】（深い凹部形成工程） 図7Bを参照して、n型半導体層 5 に深い凹部を形成する工程について説明する。所定形状のパターンを有するフォトレジストマスク M6 を形成する。マスク M6 を用いて、n型半導体層 5 を選択的にエッチングする。エッチングの深さ D6 は、p⁺型埋込半導体部 4 に達する程度である。その結果、レジストパターンで覆われた n型半導体層 5 の部分がエッチング

されずに残り、所定の軸方向（図中 y 軸方向）に延びるストライプ状の深い凹部が形成される。深い凹部を形成した後、マスク M 6 を除去する。

【0096】（ゲート半導体部形成工程） 図 8 を参照して、ゲート半導体部を形成する工程について説明する。n 型ドリフト半導体層 3、p⁺型埋込半導体層 4、及び n 型半導体層 5 の表面上にポリシリコンを堆積して、浅い凹部と深い凹部内にポリシリコン半導体部 8 を形成する。ポリシリコン膜は、化学気相成長法を用いて、例えば、SiH₄（シラン）を熱分解することにより成長する。ポリシリコン半導体部 8 の導電型は、ドレイン半導体部 2 と逆導電型である。また、ポリシリコン半導体部 8 のドーパント濃度は、n 型半導体層 5 のドーパント濃度よりも高い。ゲート半導体部形成工程に引き続いて、熱酸化工程以降の工程が行われる。第 3 の実施形態に示した製造方法によれば、チャネル半導体部とゲート半導体部とをヘテロ接合で形成することができる。

【0097】（第 4 の実施形態） 第 1 の実施形態において説明した縦型 J F E T 1 a は、図 9 に示すような変形態様をとることも可能である。図 9 は、第 4 の実施形態における縦型 J F E T 1 c の斜視図である。すなわち、第 4 の実施形態における縦型 J F E T 1 c は、第 5 の領域 3 e 及び p⁺型埋込半導体部 4 上に p⁺型半導体部 6 を備える。

【0098】 第 1 の実施形態において説明した縦型 J F E T 1 b は、図 10 に示すような変形態様をとることも可能である。図 10 は、第 5 の実施形態における縦型 J F E T 1 d の斜視図である。すなわち、更に別の実施形態における縦型 J F E T 1 d は、第 5 の領域 3 e 及び p⁺型埋込半導体部 4 上に p⁺型半導体部 6 を備える。

【0099】 縦型 J F E T 1 c, 1 d では、n 型ドリフト半導体部 3 は、その表面に、y 軸方向に順に配置された第 1 ～ 第 5 の領域 3 e, 3 a, 3 b, 3 c, 3 d を有する。p⁺型半導体部 6 は、第 5 の領域 3 e 及び p⁺型埋込半導体部 4 上に設けられている。p⁺型半導体部 6 は、n 型チャネル半導体部 5 に沿って（図

中 z 軸方向) に延びる。半導体部 6 の導電型は、チャネル半導体部 5 の導電型と反対である。半導体部 6 の p 型ドーパント濃度は、チャネル半導体部 5 の n 型ドーパント濃度よりも高い。好適な実施例では、 p^+ 型半導体部 6 は、ドーパントが添加された SiC により形成されている。

5 【0100】 第 4 の実施形態における縦型 JFET 1 c, 1 d によれば、 p^+ 型埋込半導体部 4 は、 p^+ 型半導体部 6 を介して電極 6 a と電氣的に接続される。電極 6 a をゲート電極として使用すると、 P^+ 型半導体部と P^+ 型埋込半導体部との間にもチャネル半導体部を形成することになる。したがって、電流を多く流すことが可能となり、損失は小さくなる。

10 【0101】 なお、本実施形態における縦型 JFET 1 c, 1 d において、電極 6 a に代えてソース電極 7 a に p^+ 型半導体部 6 を接続することにより、 p^+ 型埋込半導体部 4 とソース半導体部 7 とを同一のソース電極 7 a に電氣的に接続する構造としてもよい。これにより、 p^+ 型埋込半導体部 4 はソース半導体部 7 と同電位となる。このとき、 P^+ 型埋込半導体部とドレイン半導体部間で形成される容量は、ゲート・ドレイン間容量からゲート・ソース間容量に変わり、高周波動作が可能となる。

15 【0102】 (第 5 の実施形態) 次に、図 11 A ~ 図 11 C を参照して、第 2 の実施形態の変形である第 5 の実施形態について説明する。第 5 の実施形態における縦型 JFET の製造方法に関して、第 2 の実施形態において説明した縦型 JFET 1 a の製造方法と同様である各構成要素には、同一の符号を付した。以下、第 2 の実施形態と異なる p^+ 型半導体膜形成工程以降の工程について説明する。

20 【0103】 (p^+ 型半導体膜形成工程) 図 11 A を参照して、 p^+ 型半導体膜を形成する工程について説明する。 p^+ 型半導体膜形成工程は、チャネル半導体膜形成工程に引き続いて行われる。所定形状のパターンを有するマスク M 7 を形成する。マスク M 7 を用いて、 SiC 膜 5 1 上に形成された領域 5 1 a にドーパント A 4 を選択的にイオン注入して p^+ 型半導体層 6 1 を形成する。 SiC 膜 5

1の厚さ T_4 は、イオン注入によって p^+ 型ゲート半導体部4に達する p^+ 型半導体層61を形成できる程度の厚さである。 p^+ 型半導体層61のドーパント濃度は、 p^+ 型ゲート半導体部4と同程度である。 p^+ 型半導体層61を形成した後、マスクM7を除去する。チャンネル半導体膜形成工程と p^+ 型半導体膜形成工程とは、チャンネル半導体膜と p^+ 型半導体膜とが所定の厚さになるまで繰り返し行われる。

【0104】(ソース半導体膜形成工程) 図11Bに示す様に、 n 型半導体層5と p^+ 型半導体層6上に、エピタキシャル成長法により、 n^+ 型ソース層のためのSiC膜7を形成する。SiC膜7の導電型は、 n^+ 型ドレイン半導体部2の導電型と同一である。また、SiC膜7のドーパント濃度は、SiC膜5のドーパント濃度よりも高い。

【0105】(p^+ 型半導体部形成工程) 図11Cを参照して、 p^+ 型半導体部を形成する工程について説明する。所定形状のパターンを有するマスクM8を形成する。マスクM8を用いて、SiC膜7上に形成された領域7aにドーパントA5を選択的にイオン注入して p^+ 型半導体部6を形成する。 p^+ 型半導体部6を形成した後、マスクM8を除去する。 p^+ 型半導体部形成工程に引き続いて、ソース半導体部形成工程が行われる。以上、第2の実施形態と異なる p^+ 型半導体膜形成工程以降の工程について説明した。他の工程に関しては、第2の実施形態と同様であるが、これに限定されるものではない。

【0106】(第6の実施形態) 第4の実施形態において説明した縦型JFET1aは、図12に示すような変形態様をとることも可能である。図12は、第6の実施形態における縦型JFET1eの斜視図である。すなわち、第4の実施形態では、 n 型チャンネル半導体部5は、第1の領域3a上で n^+ 型ソース半導体部7と接触する構成とした。これに対して、第6の実施形態では、縦型JFET1eは n 型チャンネル半導体部5と n^+ 型ソース半導体部7との間に n^- 型半導体部10を更に備える。本実施形態は、 p^+ 型ゲート半導体部4と n^- 型半導体部10

との間隔が、 p^+ 型ゲート半導体部 8 の凸部の間隔よりも小さい形態に特に好適である。

【0107】 n^- 型半導体部 10 は、第 1 及び第 2 の領域 3 a, 3 b, 3 c, 3 d 及び n 型チャネル半導体部 5 上に設けられている。半導体部 10 の導電型は
5 チャネル半導体部 5 の導電型と同一である。半導体部 10 の n 型ドーパント濃度は、チャネル半導体部 5 の n 型ドーパント濃度より低い。 n^- 型半導体部 10 のドーパント濃度は、例えば、 $1 \times 10^{16} / \text{cm}^3$ 程度である。好適な実施例では、 n^- 型半導体部 10 は、ドーパントが添加された SiC (炭化珪素) により形成されている。

10 【0108】 本構造によれば、 n 型チャネル半導体部 5 はエッチングされない
ので、チャネル半導体部の厚さがエッチング工程によるばらつきの影響を受けない。
したがって、縦型 JFET 1 e の電気的特性の個体差を小さくできる。

【0109】 なお、本実施形態における縦型 JFET 1 e において、電極 6 a
15 に代えてソース電極 7 a に p^+ 型半導体部 6 を接続することにより、 p^+ 型埋込半
導体部 4 とソース半導体部 7 とを同一のソース電極 7 a に電氣的に接続する構造
としてもよい。これにより、 p^+ 型埋込半導体部 4 はソース半導体部 7 と同電位
となり、 P^+ 型埋込半導体部とドレイン半導体部との間で形成される容量が、ゲ
ート・ドレイン間容量からゲート・ソース間容量に変わり、高周波動作が可能と
なる。

20 【0110】 (第 7 の実施形態) 次に、図 13 A を参照して、第 1 の実施形態の
変形である第 7 の実施形態について説明する。第 7 の実施形態における縦型 JF
ET に関して、第 1 の実施形態において説明した縦型 JFET 1 f の構成と同様
である各構成要素には、同一の符号を付した。以下、第 1 の実施形態とは異なる
チャネル半導体部の構成について説明する。

25 【0111】 図 13 A は、第 7 の実施形態における縦型 JFET 1 f の斜視図
である。第 1 の実施形態と第 7 の実施形態とは、チャネル半導体部の構造が異な

る。図 1 3 A に示す様に、縦型 J F E T 1 f は、 n^+ 型ドレイン半導体部 2 と、 n 型ドリフト半導体部 3 と、 p^+ 型ゲート半導体部 4 と、 n 型チャネル半導体部 5 と、 n^+ 型ソース半導体部 7、 p^+ 型ゲート半導体部 8 1, 8 2, 8 3 と、 p^+ 型接続半導体部 1 1 とを有する。

5 【0 1 1 2】 n 型チャネル半導体部 5 は、 n 型チャネル半導体領域 5 1, 5 2, 5 3 を有する。 n 型チャネル半導体領域 5 1 は、 n 型ドリフト半導体部 3 の第 2 ~ 第 4 の領域 3 b, 3 c, 3 d 及び p^+ 型ゲート半導体部 4 上に設けられている。 n 型チャネル半導体領域 5 1 は、 p^+ 型ゲート半導体部 4 と p^+ 型ゲート半導体部 8 1 との間、 p^+ 型ゲート半導体部 8 1, 8 2 の間、及び p^+ 型ゲート半導体部 8 2, 8 3 の間に設けられている。 n 型チャネル半導体領域 5 2 は、 n 型ドリフト半導体部 3 の第 5 の領域 3 e 上に設けられ、第 5 の領域 3 e において n 型ドリフト半導体部 3 と接続されている。 n 型チャネル半導体領域 5 3 は、 n 型ドリフト半導体部 3 の第 1 の領域 3 a 上に設けられている。 n 型チャネル半導体領域 5 3 は、 n 型チャネル半導体領域 5 1 を介して n 型チャネル半導体領域 5 2 と接続されている。

10

15

【0 1 1 3】 n 型チャネル半導体部 5 のドーパント濃度は、 n^+ 型ドレイン半導体部 2 のドーパント濃度よりも低い。好適な実施例では、 n 型チャネル半導体部 5 は、ドーパントが添加された S i C により形成されている。

【0 1 1 4】 p^+ 型ゲート半導体部 8 1, 8 2, 8 3 は、第 2 ~ 第 4 の領域 3 b ~ 3 d 上に設けられている。 p^+ 型ゲート半導体部 8 1, 8 2, 8 3 の間には、 n 型チャネル半導体領域 5 1 が設けられている。ゲート半導体部 8 1, 8 2, 8 3 及びゲート半導体部 4 の導電型はチャネル半導体領域 5 1 の導電型と反対であるので、ゲート半導体部 8 1, 8 2, 8 3, 4 とチャネル半導体領域 5 1 との界面には $p n$ 接合が形成される。 n 型チャネル半導体領域 5 1 を流れるドレイン電流は、 p^+ 型ゲート半導体部 8 1, 8 2, 8 3, 4 によって制御される。ゲート半導体部 8 1, 8 2, 8 3, 4 の p 型ドーパント濃度は、チャネル半導体領域 5

20

25

1のn型ドーパント濃度よりも高い。好適な実施例では、 p^+ 型ゲート半導体部81、82、83、4は、ドーパントが添加されたSiCにより形成されている。 p^+ 型ゲート半導体部83の表面上には、ゲート電極8aが設けられている。ゲート電極8aは金属で形成されている。 p^+ 型ゲート半導体部83上にはシリコン酸化膜といった絶縁膜9が設けられており、 p^+ 型ゲート半導体部83は絶縁膜9の開口部を介してゲート電極8aと接続されている。

【0115】 p^+ 型接続半導体部11は、図13Bに示す様に、第3の領域3c上に設けられている。接続半導体部11の導電型はゲート半導体部4の導電型と同一である。 p^+ 型接続半導体部11は、縦方向（図中z軸方向）に延び、 p^+ 型ゲート半導体部4と p^+ 型ゲート半導体部81、82、83とを接続する。接続半導体部11のp型ドーパント濃度は、チャネル半導体領域51のn型ドーパント濃度よりも高い。好適な実施例では、 p^+ 型接続半導体部11は、ドーパントが添加されたSiCにより形成されている。矢印eは、ソース半導体部7からドレイン半導体部2に流れる電流の経路を示す。

【0116】（第8の実施形態） 次に、図14A及び図14B、図15A及び図15B、図16A及び図16B、図17A及び図17B、図18A及び図18Bを参照して、第2の実施形態の変形である第8の実施形態について説明する。第8の実施形態における縦型JFETの製造方法に関して、第2の実施形態において説明した縦型JFET1aの製造方法と同様である各構成要素には、同一の符号を付した。以下、第2の実施形態と異なるチャネル半導体膜形成工程以降の工程について説明する。

【0117】（ p^+ 型半導体層形成工程） 図14Aを参照して、 p^+ 型半導体層を形成する工程について説明する。 p^+ 型半導体層形成工程は、チャネル半導体膜形成工程に引き続いて行われる。所定方向（図中x軸方向）に延びるパターンを有するマスクM9を形成する。マスクM9により、SiC膜51上に規定される領域51aにドーパントA6を選択的にイオン注入して p^+ 型半導体層81

を形成する。イオン注入の深さD7は、当該縦型JFETの閾値に応じて決定される。p⁺型半導体層を形成した後、マスクM9を除去する。

【0118】(p⁺型接続半導体層形成工程) 図14Bを参照して、p⁺型接続半導体層を形成する工程について説明する。所定形状のパターンを有するマスクM10を形成する。マスクM10により、SiC膜51上に規定される領域51bにドーパントA7を選択的にイオン注入してp⁺型接続半導体層111を形成する。イオン注入の深さは、p⁺型ゲート半導体部4に到達する程度に深い。p⁺型接続半導体層111のドーパント濃度は、p⁺型ゲート半導体部4と同程度である。p⁺型半導体層を形成した後、マスクM10を除去する。

【0119】(p⁺型ゲート半導体部形成工程) 図15A及び図15Bを参照して、p⁺型ゲート半導体部を形成する工程について説明する。該工程では、チャネル半導体膜形成工程とp⁺型半導体層形成工程とp⁺型接続半導体層形成工程とを繰り返し、p⁺型半導体層とp⁺型接続半導体層とを有する半導体層をn型ドリフト半導体部3上に堆積して積層型チャネル部を形成する。その結果、所定の厚さT5(図中z軸方向)を有する半導体層5が形成される。

【0120】(チャネル半導体膜形成工程) 図16Aを参照して、n型チャネル半導体膜を形成する工程について説明する。図16Aに示す様に、SiC膜5上にSiC膜54をエピタキシャル成長法により形成する。SiC膜54の導電型は、n⁺型ドレイン半導体部2の導電型と同一である。また、SiC膜54のドーパント濃度は、ドレイン半導体部2のドーパント濃度よりも低い。

【0121】(ソース半導体膜形成工程) 図16Bに示す様に、SiC膜54の表面に、エピタキシャル成長法により、n⁺型ソース層のためのSiC膜7を形成する。SiC膜7の導電型は、ドレイン半導体部2の導電型と同一である。また、SiC膜7のドーパント濃度は、SiC膜54のドーパント濃度よりも高い。

【0122】(ソース半導体部形成工程) 図17Aを参照して、ソース半導体部を形成する工程について説明する。所定の軸方向(図中x軸方向)に延びるパタ

ーンを有するマスクM11を形成する。マスクM11を用いて、 n^+ 型ソース層7とSiC膜54とを選択的にエッチングする。その結果、レジストパターンで覆われた n^+ 型ソース層7とSiC膜54の部分54aがエッチングされずに残り、 n^+ 型ソース半導体部7が形成される。ソース半導体部を形成した後、マスクM11を除去する。

【0123】（熱酸化工程） 図17Bを参照して、縦型JFET1fを熱酸化する工程について説明する。縦型JFET1fに熱酸化処理を施す。熱酸化処理は、高温（例えば約1200℃）でSiCを酸化性雰囲気（ SiO_2 ）に晒すと、各半導体部中のシリコンが酸素と化学反応してシリコン酸化膜（ SiO_2 ）が形成される。その結果、各半導体部の表面が酸化膜9により覆われる。

【0124】（開口部形成工程） 図18Aを参照して、ソース電極及びゲート電極を形成するための開口部を形成する工程について説明する。フォトリジストのマスクを用いて、酸化膜9を選択的にエッチングして開口部9a、9bを形成する。開口部9a、9bでは、ソース半導体部7及びゲート半導体部8の表面部分が露出している。露出部分がソース電極及びゲート電極への導通部分となる。開口部を形成した後、レジストマスクを除去する。

【0125】（電極形成工程） 図18Bを参照して、電極を形成する工程について説明する。まず、縦型JFET1fの表面に、例えばニッケル（Ni）といったオーミックコンタクト電極用の金属膜を堆積する。次に、ソース電極用開口部9aとゲート電極用開口部9bにのみNiを残す様に、フォトリジストのマスクを形成して、Ni金属膜をエッチングし、レジストを除去する。続いて、高温（例えば、Niの場合1000℃程度）の窒素、アルゴン等の不活性ガス雰囲気中で熱処理することにより、オーミックコンタクトを形成する。オーミックコンタクト電極用の金属膜の材料としては、Ni、タングステン（W）、チタン（Ti）などであってもよく、これらに限定されない。

【0126】 さらに、アルミニウム（Al）といった電極用金属膜を堆積する。

所定の形状を有するフォトリソのマスクを形成する。このマスクを用いて、電極用の金属膜を選択的にエッチングする。その結果、レジストパターンで覆われた電極用の金属膜の部分がエッチングされずに残り、ソース電極 7 a 及びゲート電極 8 a となる。電極用金属膜の材料としては、アルミニウム合金や銅(Cu)、タングステン(W)であってもよく、これらに限定されない。電極を形成した後、レジストマスクを除去する。

【0127】 以上説明した工程により、第1の実施形態に示された縦型 J F E T 1 f が完成した。縦型 J F E T 1 f の構造では、 p^+ 型ゲート半導体部 8 1, 8 2, 8 3 は、 p^+ 型接続半導体部 1 1 を介して p^+ 型ゲート半導体部 4 に接続される。これにより、 p^+ 型接続半導体部 1 1 と p^+ 型ゲート半導体部 8 1, 8 2, 8 3 とを共にゲートとして使用できる。また、埋め込まれたゲート半導体部にゲート電極 8 a を接続できる。故に、 p^+ 型ゲート半導体部 4, 8 1, 8 2, 8 3 との間にチャネル領域が形成される。したがって、ゲート半導体部が制御できるチャネル領域を増やすことができ、オン抵抗を低くできる。

【0128】 (第9の実施形態) 第7の実施形態において説明した縦型 J F E T 1 f は、図 19 A に示すような変形態様をとることも可能である。図 19 A は、第9の実施形態における縦型 J F E T 1 g の斜視図である。すなわち、第9の実施形態における縦型 J F E T 1 g は、第6の領域 3 f 及び p^+ 型埋込半導体部 4 上に p^+ 型半導体部 6 を備える点において縦型 J F E T 1 f と異なる。

【0129】 縦型 J F E T 1 g では、 n 型ドリフト半導体部 3 は、その表面に、 y 軸方向に順に配置された第1～第6の領域 3 f, 3 a, 3 b, 3 c, 3 d, 3 e を有する。 p^+ 型半導体部 6 は、第6の領域 3 f 及び p^+ 型埋込半導体部 4 上に設けられている。 p^+ 型半導体部 6 は、 n^+ 型ソース半導体部 7 に沿って(図中 x 軸方向)に延びる。 p^+ 型半導体部 6 の導電型は、 n 型チャネル半導体部 5 の導電型と反対である。半導体部 6 の p 型ドーパント濃度は、チャネル半導体部 5 の n 型ドーパント濃度よりも高い。好適な実施例では、 p^+ 型半導体部 6 は、ドー

パントが添加されたSiCにより形成されている。

【0130】 第9の実施形態における縦型JFET1gによれば、p⁺型埋込半導体部4は、p⁺型半導体部6を介して電極6aと電氣的に接続される。電極6aをゲート電極として使用することも可能であり、p⁺型ゲート半導体部81とp⁺型埋込半導体部4との間のチャネル半導体部には、接続半導体部11が存在しない分だけ、電流経路が大きく、オン抵抗を小さくできる。

【0131】 なお、本実施形態における縦型JFET1gにおいて、電極6aに代えてソース電極7aにp⁺型半導体部6を接続することにより、p⁺型埋込半導体部4とソース半導体部7とを同一のソース電極7aに電氣的に接続する構造としてもよい。これにより、p⁺型埋込半導体部4はソース半導体部7と同電位となり、P⁺型埋込半導体部とドレイン半導体部間の容量が、ゲート・ドレイン間容量からゲート・ソース間容量に変わるため、高周波動作が可能となる。

【0132】 (第10の実施形態) 次に、図20A及び図20Bを参照して、第8の実施形態の変形である第10の実施形態について説明する。第10の実施形態における縦型JFETの製造方法に関して、第8の実施形態において説明した縦型JFET1fの製造方法と同様である各構成要素には、同一の符号を付した。以下、第8の実施形態と異なるp⁺型半導体部形成工程について説明する。

【0133】 (第2のp⁺型半導体層形成工程) 図20Aを参照して、p⁺型半導体層を形成する工程について説明する。第2のp⁺型半導体層形成工程は、p⁺型半導体層形成工程に引き続いて行われる。所定形状のパターンを有するマスクM12を形成する。マスクM12により、SiC膜51上に規定された領域51cにドーパントA8を選択的にイオン注入してp⁺型半導体層61を形成する。イオン注入の深さは、p⁺型埋込半導体部4に到達する程度に深い。p⁺型半導体層61のドーパント濃度は、p⁺型埋込半導体部4と同程度である。p⁺型半導体層を形成した後、マスクM12を除去する。

【0134】 (p⁺型接続半導体層形成工程) 図20Bを参照して、p⁺型接続

半導体層を形成する工程について説明する。p⁺型接続半導体層の形成に先立って、n型半導体膜52、p⁺型半導体部82、及びp⁺型半導体部62を形成する。所定形状のパターンを有するマスクM13を形成する。マスクM13によりn型半導体膜52上に形成された領域52aにドーパントA9を選択的にイオン注入してp⁺型接続半導体部層111を形成する。イオン注入の深さは、p⁺型ゲート半導体部81に到達する程度に深い。p⁺型接続半導体層111のドーパント濃度は、p⁺型半導体層61と同程度である。p⁺型接続半導体層111を形成した後、マスクM13を除去する。

【0135】 p⁺型接続半導体層形成工程に引き続いて、チャネル半導体膜形成工程が行われる。チャネル半導体膜形成工程、p⁺型半導体層形成工程、第2のp⁺型半導体層形成工程、及びp⁺型接続半導体層形成工程を繰り返して、積層チャネル部をn型ドリフト半導体部3上に形成する。以上、第8の実施形態と異なる第2のp⁺型半導体層形成工程以降の工程について説明した。他の工程に関しては、第8の実施形態と同様であるが、これに限定されるものではない。

【0136】(第11の実施形態) 次に、図21A及び図21Bを参照して、第1の実施形態の変形態様である第11の実施形態について説明する。第11の実施形態における縦型JFETに関して、第1の実施形態において説明した縦型JFET1aの構成と同様である各構成要素には、同一の符号を付した。以下、第1の実施形態との差異について説明する。

【0137】 図21Aは、第11の実施形態における縦型JFET1hの斜視図である。第11の実施形態と第1の実施形態とは、チャネル半導体部の構造が異なる。すなわち、第11の実施形態では、チャネル半導体部はパルスドープ構造を有する。

【0138】 図21Bに示す様に、パルスドープ半導体部12は、n⁻型SiC層121～124とn⁺型SiC層125～127とが交互に配置されて構成されている。また、SiC層121～124のn型ドーパント濃度は、SiC層

1 2 5 ~ 1 2 7 の n 型ドーパント濃度よりも低い。 n^- 型 SiC 層 1 2 1 ~ 1 2 4 のドーパント濃度は、例えば、 $1 \times 10^{16} / \text{cm}^3$ 程度である。 n^- 型 SiC 層 1 2 1 ~ 1 2 4 の厚さ T_6 は、例えば、 10 nm 前後である。 n^+ 型 SiC 層 1 2 5 ~ 1 2 7 のドーパント濃度は、 $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ である。 n^+ 型 SiC 層 1 2 5 ~ 1 2 7 の厚さ T_7 は、例えば、 10 nm 前後である。この様な構造により、キャリアは、高濃度層よりもキャリア移動度が大きい低濃度層を移動するので、チャネル領域を流れる電流が増加する。その結果、オン抵抗を低減できる。

【0139】 パルスドープ構造は、図 2 2 A に示すように、第 7 の実施形態において説明した縦型 J F E T 1 f のチャネル半導体部にも適用可能である。また、パルスドープ構造は、図 2 2 B に示すように、第 9 の実施形態において説明した縦型 J F E T 1 g のチャネル半導体部にも適用可能である。

【0140】 なお、本実施形態における縦型 J F E T 1 h、1 k においても、電極 6 a に代えてソース電極 7 a に p^+ 型半導体部 6 を接続することにより、 p^+ 型埋込半導体部 4 とソース半導体部 7 とを同一のソース電極 7 a に電氣的に接続する構造としてもよい。これにより、 p^+ 型埋込半導体部 4 はソース半導体部 7 と同電位となり、 P^+ 型埋込半導体部とドレイン半導体部に形成される容量が、ゲート・ドレイン間容量からソース・ドレイン間容量に変わるため、高周波動作が可能となる。

【0141】 (第 1 2 の実施形態) 次に、図 2 3 を参照して、第 1 の実施形態の変形態様である第 1 2 の実施形態について説明する。第 1 2 の実施形態における縦型 J F E T に関して、第 1 の実施形態において説明した縦型 J F E T 1 a の構成と同様である各構成要素には、同一の符号を付した。以下、第 1 の実施形態との差異について説明する。

【0142】 図 2 3 は、第 1 2 の実施形態における縦型 J F E T 1 n の斜視図である。第 1 2 の実施形態と第 1 の実施形態とは、ゲート半導体部の構造が異な

る。すなわち、第 12 の実施形態では、縦型 J F E T 1 n は、ゲート半導体部 4
中に p⁺型半導体部 13 を有する。p⁺型半導体部 13 は、埋込半導体部 4 と、チ
ャネル半導体部 5 及び p⁺型半導体部 6 との間に形成されている。p⁺型半導体部
13 は、ドーパントとして A1（アルミニウム）が添加された S i C により形成
5 されている。ゲート半導体部 4 は、ドーパントとして B（ボロン）が添加された
S i C により形成されている。B の飛程は A1 の飛程に比べて大きいので、ゲ
ート半導体部 4 は p⁺型半導体部 13 とドリフト半導体部 3 との間に形成される。
ゲート半導体部 4 のドーパント濃度は p⁺型半導体部 13 のドーパント濃度に比
べて小さい。この構造によれば、ゲート半導体部 4 にも空乏層が延びるので、ゲ
ート半導体部とドリフト半導体部との間の電位勾配を緩やかにでき、電界の集中
10 が緩和される。その結果、縦型 J F E T の耐圧性が向上する。

【0143】 本構造は、図 24A に示すように、第 7 の実施形態において説明
した縦型 J F E T 1 f のゲート半導体部にも適用可能である。また、パルスド
ープ構造は、図 24B に示すように、第 9 の実施形態において説明した縦型 J F E
15 T 1 g のゲート半導体部にも適用可能である。

【0144】 この構造によれば、ゲート半導体部 4 のドーパント濃度を p⁺型
半導体部 13 のドーパント濃度に比べて小さくできる。これにより、ゲート半導
体部 4 にも空乏層が延びるので、ゲート半導体部とドリフト半導体部との間の電
位勾配を緩やかにでき、電界の集中が緩和される。その結果、縦型 J F E T の耐
20 圧性が向上する。

【0145】 なお、本実施形態における縦型 J F E T 1 n、1 p においても、
電極 6 a に代えてソース電極 7 a に p⁺型半導体部 6 を接続することにより、p⁺
型埋込半導体部 4 とソース半導体部 7 とを同一のソース電極 7 a に電氣的に接続
する構造としてもよい。これにより、p⁺型埋込半導体部 4 はソース半導体部 7
25 と同電位となり、P⁺型埋込半導体部とドレイン半導体部との間に形成される容
量が、ゲート・ドレイン間容量からソース・ドレイン間容量に変わるため、高周

波動作が可能となる。

【0146】(第13の実施形態) 次に、図25を参照して、第1の実施形態の変形態様である第13の実施形態について説明する。第13の実施形態における縦型JFETに関して、第1の実施形態において説明した縦型JFET1aの構成と同様である各構成要素には、同一の符号を付した。以下、第1の実施形態と異なるドリフト半導体部の構造について説明する。

【0147】 図25は、第13の実施形態における縦型JFET1rの断面図である。第13の実施形態は、第1の実施形態とドリフト半導体部の構造において異なる。すなわち、第1の実施形態では、ドリフト半導体部は n^+ 型ドレイン半導体部2の導電型と同一の導電型の構成としたけれども、第13の実施形態では、ドリフト半導体部は導電型の異なる半導体領域から構成される超接合(SJ: Super Junction)構造を有する。

【0148】 図25を参照すると、ドリフト半導体部は、 n^+ 型ドレイン半導体部2の主面上に設けられている。ドリフト半導体部は、 n^+ 型ドレイン半導体部2の主面に交差する基準面に沿って延びる p 型半導体領域31、33及び n 型半導体領域32を有する。 p 型半導体領域31、33は、 n 型半導体領域32を挟むように配列されている。 p 型半導体領域と n 型半導体領域との接合は、 p^+ 型ゲート半導体部41、42と n^+ 型ドレイン半導体部2との間に位置する。

【0149】 p 型半導体領域31、33は、 p^+ 型ゲート半導体部41、42と n^+ 型ドレイン半導体部2との間に位置し、 p^+ 型ゲート半導体部41、42に沿って(図中 x 軸方向)延びている。

【0150】 n 型半導体領域32は、 p^+ 型ゲート半導体部41と p^+ 型ゲート半導体部42との間の n 型チャネル半導体部5と、 n^+ 型ドレイン半導体部2との間に位置し、 p^+ 型ゲート半導体部41、42に沿って(図中 x 軸方向)延びている。 n 型半導体領域32は、ドレイン半導体部2の導電型と同一の導電型を有する。

【0151】 図26は、超接合構造を有する別の形態を示す縦型JFET1sの断面図である。図26に示すように、超接合構造は、第7の実施形態において説明した縦型JFET1fのドリフト半導体部にも適用可能である。また、図27は、超接合構造を有する更に別の形態を示す縦型JFET1tの断面図である。図27に示すように、超接合構造は、第9の実施形態において説明した縦型JFET1gのドリフト半導体部にも適用可能である。超接合構造は、その他の実施形態において説明した縦型JFETにも適用できる。

【0152】 本実施形態における縦型JFET1r, 1s, 1tによれば、ドリフト半導体部は、導電型の異なる複数の半導体領域により構成されている。この様な構造を有するドリフト半導体部は、ドレイン電圧が高いときに、ドリフト半導体部の全体が十分に空乏化される。したがって、ドリフト半導体部における電界の最大値が低くなる。故に、ドリフト半導体部の厚さを薄くできる。このため、オン抵抗が小さくなる。

【0153】 p型半導体領域31, 33とn型半導体領域32のドーパント濃度は、ほぼ同一であることが好ましい。500V耐圧を想定した場合における好適な実施例では、p型半導体領域31, 33及びn型半導体領域32のドーパント濃度は、約 $2.7 \times 10^{17} \text{ cm}^{-3}$ である。また、500V耐圧を想定した場合における好適な実施例では、p型半導体領域31, 33及びn型半導体領域32の幅（図中y軸方向）は $0.5 \mu\text{m}$ 程度である。これにより、空乏層は、p型半導体領域の全体に延びると共にn型半導体領域の全体に延びる。このように空乏層は両半導体領域に延びるので、ドリフト半導体部において電界の集中が緩和される。

【0154】（第14の実施形態） n型半導体領域及びp型半導体領域と、ゲート半導体部との位置関係は、これまでの実施形態に示された位置関係に限定されない。図28Aは、第14の実施形態における各半導体領域とゲート半導体部との位置関係を示す模式図である。p型半導体領域31, 33及びn型半導体領域

3 2 は、共に所定の軸方向（図中 x 軸方向）に延びている。p 型半導体領域 3 1，
3 3 は、n 型半導体領域 3 2 を挟むように配列されている。p 型半導体領域と n
型半導体領域との接合は、p⁺型ゲート半導体部 4 1，4 2 の下に位置する。

【0 1 5 5】 これに対して、図 2 8 B は、第 1 4 の実施形態における各半導体
領域とゲート半導体部との位置関係を示す模式図である。p 型半導体領域 3 1，
3 3 及び n 型半導体領域 3 2，3 4 は、共に所定の軸方向（図中 x 軸方向）に延
びている。p 型半導体領域 3 1，3 3 は、n 型半導体領域 3 2，3 4 と交互に配
置されている。p 型半導体領域と n 型半導体領域との接合は、p⁺型ゲート半導
体部 4 1，4 2 の下だけでなく、各ゲート半導体部の間にも位置している。

【0 1 5 6】 図 2 8 C は、更に別の形態における各半導体領域とゲート半導体
部との位置関係を示す模式図である。p 型半導体領域 3 1，3 3 及び n 型半導体
領域 3 2 は、共に所定の軸方向（図中 y 軸方向）に延びている。p 型半導体領域
3 1，3 3 は、n 型半導体領域 3 2 を挟むように配列されている。n 型半導体領
域は複数あってもよい。

【0 1 5 7】（第 1 5 の実施形態） 以下、超接合構造を有する縦型 J F E T の製
造方法における、超接合構造を構成する n 型半導体領域及び p 型半導体領域の形
成方法について説明する。

【0 1 5 8】（n 型半導体層形成工程） まず、n⁺型 S i C 半導体基板を準備す
る。基板の n 型不純物濃度は、この基板がドレイン半導体部として利用できる程
度に高濃度である。図 2 9 A に示す様に、n⁺型ドレイン半導体部 2 の表面に S
i C 膜 3 をエピタキシャル成長法により形成する。5 0 0 V 耐圧を想定した場合
における好適な実施例では、S i C 膜 3 の膜厚 T 8 は、2. 0 μm 以上 3. 0 μ
m 以下である。S i C 膜 3 の導電型は、ドレイン半導体部 2 の導電型と同一であ
る。また、S i C 膜 3 のドーパント濃度は、n⁺型ドレイン半導体部 2 のドーパ
ント濃度よりも低い。この S i C 膜 3 からは、n 型半導体層 3 2，3 4，3 6 が
形成される。

【0159】(p型半導体層形成工程) 図29Bを参照して、p型半導体層を形成する工程について説明する。所定のマスクMを用いて、n型半導体層3上に形成された領域31a, 33a, 35a, 37aにドーパントA10を選択的にイオン注入して、所定の深さを有するp型半導体層311, 331, 351, 371を形成する。p型半導体層を形成した後、マスクMを除去する。

【0160】(ドリフト半導体部形成工程) 図29Cを参照して、所望の厚さのドリフト半導体部を形成する工程について説明する。すなわち、n型半導体層形成工程とp型半導体層形成工程とを交互に繰り返して、n⁺型ドレイン半導体部2上に超接合構造を有するドリフト半導体部を形成する。その結果、所定の厚さ(図中z軸方向)を有する半導体層3が形成される。以上、n型半導体領域及びp型半導体領域を有するドリフト半導体部の形成方法について説明した。他の工程に関しては、第2、第6、第8の実施形態と同様であるが、これに限定されるものではない。

【0161】(第16の実施形態) 図30は、第16の実施形態における縦型JFET1uの断面図である。図30に示す様に、縦型JFET1uは、n⁺型ドレイン半導体部2と、n型ドリフト半導体部3と、p型埋込半導体部4と、n型チャネル半導体部5と、p⁺型ゲート半導体部6と、n⁺型ソース半導体部7とを有する。

【0162】 縦型JFET1uは、この素子の一方の面から他方の面に向かう方向(以下、「電流方向」と記す。)に、多数キャリアが移動する縦型構造を有する。図30には、座標系が示されている。この座標は、JFETチャネル部の電流方向をy軸に合わせるように規定されている。

【0163】 n⁺型ドレイン半導体部2は、対向する一対の面を有する。また、n⁺型ドレイン半導体部2は、ドーパントが添加された基板であることができ、好適な実施例では、この基板は、SiC(炭化珪素)により形成されている。SiCに添加されるドーパントとしては、周期律表第5族元素であるN(窒素)、P

(リン)、As（砒素）といったドナー不純物が利用できる。n⁺型ドレイン半導体部2は、一对の面の一方（裏面）にドレイン電極2aを有する。ドレイン電極2aは金属で形成されている。

【0164】 n型ドリフト半導体部3は、n⁺型ドレイン半導体部2の一对の面の他方（表面）上に設けられている。n型ドリフト半導体部3は、その表面に、y軸方向に順に配置された第1～第4の領域3a, 3b, 3c, 3dを有する。第1～第4の領域3a, 3b, 3c, 3dは、所定の軸方向（図30のx軸方向）に延びており、好適な実施例では、矩形状の領域である。第1、第2、第4の領域3a, 3b, 3d上にはp型埋込半導体部4が設けられている。第1～第3の領域3a, 3b, 3c上にはチャネル半導体部5が設けられている。ドリフト半導体部3の導電型はドレイン半導体部2の導電型と同一であって、ドリフト半導体部3のドーパント濃度は、ドレイン半導体部2のドーパント濃度より低い。好適な実施例では、ドリフト半導体部3は、ドーパントが添加されたSiC（炭化珪素）により形成されている。

【0165】 p型埋込半導体部4は、第1～第3の領域3a, 3b, 3c上に設けられている。埋込半導体部4の導電型はドリフト半導体部3の導電型と反対である。好適な実施例では、p型埋込半導体部4は、ドーパントが添加されたSiC（炭化珪素）により形成されている。このドーパントとしては、周期律表第3族元素であるB（硼素）、Al（アルミニウム）といったアクセプタ不純物が利用できる。

【0166】 n型チャネル半導体部5は、第1～第3の領域3a, 3b, 3c上に設けられている。n型チャネル半導体部5は、p型埋込半導体部4に沿って所定の軸方向（図30のy軸方向）に延びる。n型チャネル半導体部5は、第3の領域3cにおいてn型ドリフト半導体部3と電氣的に接続されている。チャネル半導体部5の導電型は埋込半導体部4の導電型と反対であるので、埋込半導体部4とチャネル半導体部5との界面にはpn接合が形成される。n型チャネル半

導体部 5 を流れるドレイン電流は、p 型埋込半導体部 4 によって制御される。n 型チャネル半導体部 5 のドーパント濃度は、n⁺型ドレイン半導体部 2 のドーパント濃度よりも低い。好適な実施例では、n 型チャネル半導体部 5 は、ドーパントが添加された SiC により形成されている。好適な実施例では、チャネル長（図中 y 軸方向）は、チャネル厚（図中 z 軸方向）の 10 倍より大きい。

【0167】 p⁺型ゲート半導体部 6 は、第 4 の領域 3 d 及び p 型埋込半導体部 4 上に設けられている。p⁺型ゲート半導体部 6 は、縦方向（図 30 の x 軸方向）に延びる。p⁺型ゲート半導体部 6 の表面上には、ゲート電極 6 a が設けられている。ゲート電極 6 a は金属で形成されている。p⁺型ゲート半導体部 6 は、p 型埋込半導体部 4 をゲート電極 6 a に接続している。

【0168】 n⁺型ソース半導体部 7 は、第 1 の領域 3 a 及び n 型チャネル半導体部 5 上に設けられている。ソース半導体部 7 は、ドレイン半導体部 2 の導電型と同一導電型を有する。ソース半導体部 7 は、チャネル半導体部 5 を介して、ドリフト半導体部 3 と接続されている。また、n⁺型ソース半導体部 7 上には、ソース電極 7 a が設けられている。ソース電極 7 a は金属で形成されている。n 型チャネル半導体部 5 は、シリコン酸化膜といった絶縁膜 8、9 によりソース電極 7 a と絶縁されている。

【0169】（第 17 の実施形態） 次に、縦型 JFET 1 u の製造方法について説明する。図 31 A～図 31 C、図 32 A～図 32 C、図 33 A～図 33 C、図 34 A～図 34 C、図 35 は、第 17 の実施形態に係る縦型 JFET 1 u の製造工程を示す断面図である。

【0170】（ドレイン半導体膜形成工程） まず、図 31 A に示す様に基板を準備する。基板としては、n⁺型 SiC 半導体基板が例示される。基板のドーパント濃度は、この基板がドレイン半導体部 2 として利用できる程度に高濃度である。

【0171】（ドリフト半導体膜形成工程） 図 31 B に示す様に、n⁺型ドレイン半導体部 2 の表面に SiC 膜 3 をエピタキシャル成長法により形成する。Si

C膜3の膜厚 T_1 は、例えば、 $10\mu\text{m}$ である。SiC膜3の導電型は、 n^+ 型ドレイン半導体部2の導電型と同一である。また、SiC膜3のドーパント濃度は、 n^+ 型ドレイン半導体部2のドーパント濃度よりも低い。SiC膜3のドーパント濃度は、例えば、 $1 \times 10^{16}/\text{cm}^3$ 程度である。このSiC膜3からは、
5 n 型ドリフト半導体部が形成される。

【0172】(埋込半導体部形成工程) 図31Cを参照して、埋込半導体部を形成する工程について説明する。所定の軸方向(図中 x 軸方向)に伸びるパターンを有するマスクM1を形成する。このマスクM1を用いて、SiC膜3上に形成された領域3eにドーパントA1を選択的にイオン注入して、所定の深さを有する
10 p 型埋込半導体部4を形成する。 p 型埋込半導体部4の深さ D_1 は、例えば、 $1.2\mu\text{m}$ 程度である。 p 型埋込半導体部4のドーパント濃度は、例えば、 $1 \times 10^{18}/\text{cm}^3$ 程度である。埋込半導体部を形成した後、マスクM1を除去する。

【0173】(チャネル半導体膜形成工程) 図32Aに示す様に、 p 型埋込半導体部4の表面及びSiC膜3上にSiC膜5をエピタキシャル成長法により形成
15 する。SiC膜5の膜厚 T_2 は、例えば、 $0.3\mu\text{m}$ 程度である。SiC膜5の導電型は、 n^+ 型ドレイン半導体部2の導電型と同一である。また、SiC膜5のドーパント濃度は、 n^+ 型ドレイン半導体部2のドーパント濃度よりも低い。SiC膜5のドーパント濃度は、例えば、 $1 \times 10^{17}/\text{cm}^3$ 程度である。このSiC膜5からは、 n 型チャネル半導体部が形成される。なお、本実施形態では、
20 n 型ドリフト半導体部、及び n 型チャネル半導体部のために単一のSiC膜を形成したけれども、ドリフト半導体部及びチャネル半導体部の各々のためにSiC膜を繰り返して成膜する複数の成膜工程を含むようにしてもよい。また、SiC膜3がドリフト半導体部及びチャネル半導体部として働くように、所望のドーパント濃度プロファイルをSiC膜に対して採用できる。

【0174】(ソース半導体膜形成工程) 図32Bに示す様に、SiC膜5の表面に、エピタキシャル成長法により、 n^+ 型ソース層のためのSiC膜7を形成
25

する。S i C膜7の膜厚T3は、例えば、 $0.2\mu\text{m}$ 程度である。S i C膜7の導電型は、 n^+ 型ドレイン半導体部2の導電型と同一である。また、S i C膜7のドーパント濃度は、S i C膜5のドーパント濃度よりも高い。所定の軸方向(図中x軸方向)に伸びるパターンを有するマスクM2を形成する。

5 【0175】(ソース及びチャネル半導体部形成工程) 図32Cを参照して、ソース半導体部を形成する工程について説明する。マスクM2を用いて、 n^+ 型ソース層7とS i C膜5及びS i C膜3とを選択的に深さD2に達するまでエッチングする。その結果、マスクM2で覆われた n^+ 型ソース層7とS i C膜5の部分がエッチングされずに残り、 n^+ 型ソース半導体部となる。また、マスクで覆われていない部分のP型埋込半導体部表面上のS i C膜3の厚さT4が、J F E Tの特性を大きく左右する(真性チャネル半導体部)。エッチングの深さD2は、例えば $0.4\mu\text{m}$ 程度であり、エッチングされたS i C膜3の厚さT4は、例えば $0.1\mu\text{m}$ 程度である。ソース半導体部を形成した後、マスクM2を除去する。所定の軸方向(図中x軸方向)に伸びるパターンを有するマスクM3を形成する。

15 【0176】(p^+ 型半導体部形成工程) 図32Cを参照して、 p^+ 型ゲート半導体部を形成する工程について説明する。マスクM3を用いて、S i C膜5上に形成された領域5aにドーパントA2を選択的にイオン注入して p^+ 型ゲート半導体部6を形成する。図33Aを参照すると、p型埋込半導体部4に達する p^+ 型ゲート半導体部6が半導体部5内に形成されている。 p^+ 型半導体部を形成した後、マスクM3を除去する。

20 【0177】(熱酸化工程) 図33Bを参照して、縦型J F E T1uを熱酸化する工程について説明する。縦型J F E T1uに熱酸化処理を施す。熱酸化処理は、高温(例えば約 1200°C)でS i Cを酸化性雰囲気中に晒すと、各半導体部中のシリコンが酸素と化学反応してシリコン酸化膜(SiO_2)が形成される。その結果、各半導体部の表面が酸化膜8により覆われる。

25 【0178】(開口部形成工程) 図33Cを参照して、ゲート電極を形成するた

めの開口部を形成する工程について説明する。フォトリジストのマスクを用いて、酸化膜 8 を選択的にエッチングして開口部を形成する。開口部では、 p^+ 型ゲート半導体部 6 及び n^+ 型ソース半導体部 7 の表面部分が露出している。露出部分がそれぞれゲート電極及びソース電極への導通部分となる。開口部を形成した後、レジストマスクを除去する。

【0179】(電極形成工程) 図 34A を参照して、電極を形成する工程について説明する。縦型 JFET 1u の表面に、例えば Ni といいた電極用の金属膜を堆積する。次に、所定の形状を有するフォトリジストのマスクを形成する。このマスクを用いて、電極用の金属膜を選択的にエッチングする。その結果、レジストパターンで覆われた電極用の金属膜の部分がエッチングされずに残り、ゲート電極 6a 及びソースオーミック電極 7a となる。電極を形成した後、レジストマスクを除去する。

【0180】 なお、開口部形成工程におけるフォトリジストパターンを除去せずに直接、フォトリジスト上も含めて電極材料用の金属膜を堆積し、その後、フォトリジストを除去すると同時にフォトリジスト上の金属膜を除去することも可能である。表面に電極を形成した後、表面全体をレジストで覆い、電極材料用の金属膜を表面全体に堆積して表面レジストを除去する。そして、高温（例えば、 1050°C ）のアルゴン等の不活性ガス雰囲気中で熱処理することによって、各電極（ソース、ドレイン、ゲート）と各半導体部との間にオーミック接続を形成する。

【0181】(絶縁膜形成工程) 図 34B を参照して、絶縁膜を形成する工程について説明する。縦型 JFET 1u の表面の全体に、CVD (Chemical Vapor Deposition) 等により、 SiO_2 、 SiON といった絶縁膜 9 を形成する。

【0182】(開口部形成工程) 図 34C を参照して、ソース電極を形成するための開口部を形成する工程について説明する。フォトリジストのマスクを用いて、酸化膜 8 と絶縁膜 9 とを選択的にエッチングしてコンタクト孔 9a を形成する。

開口部では、ソースオーミック電極 7 a の表面部分が露出している。露出部分がソース電極への導通部分となる。コンタクト孔 9 a は、ソースオーミック電極 7 a に到達するように設けられている。コンタクト孔 9 a を形成した後、レジストマスクを除去する。

5 【0183】(電極形成工程) 次に、図35を参照して、ソース電極を形成する工程について説明する。ソース半導体部7の表面に接触するようにソース電極7bを形成する。ソース電極7bは、図34Cに示したコンタクト孔9aを通して、ソース半導体部7に接触している。配線金属膜の材料としては、低抵抗、微細加工の容易性、密着性の観点からアルミニウム(A1)やA1合金が好適であるが、
10 銅(Cu)、タングステン(W)であってもよく、これらに限定されない。

 【0184】 以上説明した工程により、第16の実施形態に示された縦型JFET1uが完成した。縦型JFET1uの構造では、p型埋込半導体部4及びn型チャネル半導体部5をn型ドリフト半導体部3上に配置できる。故に、チップサイズを大きくすることなく、n型ドリフト半導体部3の厚さにより所望のドレイン耐圧を得ることができる。したがって、ソースとドレイン間の耐圧を向上できる。また、n型チャネル半導体部5の下だけでなく、p型埋込半導体部4の下に位置するn型ドリフト半導体部3にもキャリアが流れる。したがって、耐圧を維持しつつオン抵抗を下げることができる。つまり、本構造は高耐圧JFETに好適である。

20 【0185】 また、本実施形態では、ドレイン、ソース、ゲートの半導体部をSiCにより形成した。SiCは、Si(珪素)やGaAs(ガリウム砒素)といった半導体に比べて以下の点において優位である。すなわち、高融点且つバンドギャップ(禁制帯幅)が大きいので、素子の高温動作が容易になる。また、絶縁破壊電界が大きいので高耐圧かつ低損失が可能となる。更には、熱伝導率が高いので放熱が容易になるといった利点がある。

25 【0186】(第18の実施形態) 次に、図36を参照して、第16の実施形態

の変形である第18の実施形態について説明する。第18の実施形態における縦型JFETに関して、第16の実施形態において説明した縦型JFET1uの構成と同様である各構成要素には、同一の符号を付した。以下、第16の実施形態とは異なるチャネル半導体部の構成について説明する。

5 【0187】 図36は、第18の実施形態における縦型JFET1vの断面図である。第18の実施形態と第16の実施形態とは、チャネル領域の構造が異なる。すなわち、第16の実施形態では、n型チャネル半導体部5が第1の領域3a上でn⁺型ソース半導体部7と接触する構成とした。これに対して、第18の実施形態では、縦型JFET1vはn型チャネル半導体部5とn⁺型ソース半導体部7との間にn⁻型半導体部10を更に備えている。本構造によれば、n型チャネル半導体部5はエッチングされないので、チャネル半導体部の厚さがエッチング工程によるばらつきの影響を受けない。したがって、縦型JFET1vの電気的特性の個体差を小さくできる。

15 【0188】 n⁻型半導体部10は、第1～第3の領域3a, 3b, 3c及びn型チャネル半導体部5上に設けられている。半導体部10の導電型はチャネル半導体部5の導電型と同一である。n⁻型半導体部10のドーパント濃度は、n型チャネル半導体部5のドーパント濃度より低い。n⁻型半導体部10のドーパント濃度は、例えば、 $1 \times 10^{16} / \text{cm}^3$ 程度である。好適な実施例では、n⁻型半導体部10は、ドーパントが添加されたSiC（炭化珪素）により形成されている。

20 【0189】 なお、本実施の形態にて説明したn型半導体部とn⁻型半導体部とから成るチャネル構造は、第16の実施形態のみならず、後述の全ての実施形態（第20～第28の実施形態）に適用可能である。

25 【0190】（第19の実施形態） 次に、図37A～図37Cを参照して、第17の実施形態の変形である第19の実施形態について説明する。第19の実施形態における縦型JFETの製造方法に関して、第17の実施形態において説明し

た縦型 J F E T 1 u の製造方法と同様である各構成要素には、同一の符合を付した。以下、第 1 7 の実施形態と異なるチャネル半導体膜形成工程、 n^{-} 型半導体膜形成工程、及びソース半導体部形成工程について説明する。

【0191】(チャネル半導体膜形成工程) チャネル半導体膜形成工程は、ゲート半導体部形成工程に引き続いて行われる。図 3 7 A に示す様に、 p^{+} 型ゲート半導体部 4 の表面及び S i C 膜 3 上に S i C 膜 5 をエピタキシャル成長法により形成する。S i C 膜 5 の膜厚 T 6 は、例えば、 $0.1 \mu m$ 程度である。S i C 膜 5 の導電型は、 n^{+} 型ドレイン半導体部 2 の導電型と同一である。また、S i C 膜 5 のドーパント濃度は、 n^{+} 型ドレイン半導体部 2 のドーパント濃度よりも低い。S i C 膜 5 のドーパント濃度は、例えば、 $1 \times 10^{17} / cm^3$ 程度である。この S i C 膜 5 からは、 n 型チャネル半導体部が形成される。

【0192】(n^{-} 型半導体膜形成工程) 図 3 7 B に示す様に、S i C 膜 5 の表面に S i C 膜 1 0 をエピタキシャル成長法により形成する。S i C 膜 1 0 の膜厚 T 7 は、例えば、 $0.2 \mu m$ 程度である。S i C 膜 1 0 の導電型は、S i C 膜 5 の導電型と同一である。S i C 膜 1 0 のドーパント濃度は、S i C 膜 5 のドーパント濃度よりも低い。S i C 膜 1 0 のドーパント濃度は、例えば、 $1 \times 10^{16} / cm^3$ 程度である。この S i C 膜 1 0 からは、 n^{-} 型半導体部が形成される。

【0193】(ソース半導体膜形成工程) 引き続いて、図 3 7 B を参照しながら、ソース半導体膜を形成する工程について説明する。S i C 膜 1 0 の表面に、エピタキシャル成長法により、 n^{+} 型ソース層のための S i C 膜 7 を形成する。S i C 膜 7 の厚さは、例えば、 $0.2 \mu m$ 程度である。S i C 膜 7 の導電型は、 n^{+} 型ドレイン半導体部 2 の導電型と同一である。また、S i C 膜 7 のドーパント濃度は、S i C 膜 1 0 のドーパント濃度よりも高く、例えば、 $1 \times 10^{19} / cm^3$ 程度である。

【0194】(ソース半導体部形成工程) 図 3 7 C を参照して、ソース半導体部を形成する工程について説明する。所定の領域を覆うパターンを有するマスク M

4を形成する。マスクM4を用いて、 n^+ 型ソース層7及び n^- 型半導体層10を選択的にエッチングする。その結果、レジストパターンで覆われた n^+ 型ソース層7及び n^- 型半導体層10が部分的にエッチングされずに残り、 n^+ 型ソース半導体部になる。エッチングの深さD3は、半導体層5に到達しないような深さである。ソース半導体部を形成した後、マスクM4を除去する。

【0195】 以上、第17の実施形態と異なるチャネル半導体膜形成工程、 n^- 型半導体膜形成工程、及びソース半導体部形成工程について説明した。ソース半導体部形成工程に引き続いて、 p^+ 型半導体部形成工程が行われる。他の工程に関しては、第17の実施形態と同様である。本実施形態における縦型JFETの製造方法によれば、ソース半導体部形成工程において、SiC膜5がエッチングされることはない。故に、チャネル半導体部の厚さがエッチング工程によるばらつきの影響を受けない。したがって、トランジスタの電気的特性の個体差を小さくできる。

【0196】(第20の実施形態) 第20の実施形態における縦型JFET1wについて説明する。図38は、縦型JFET1wの斜視図である。図38に示す様に、縦型JFET1wは、 n^+ 型ドレイン半導体部2と、 n 型ドリフト半導体部3と、 p^+ 型ゲート拡散半導体部41, 42, 43, 44, 45と、 n 型チャネル半導体部5と、一括ソース電極7aを表面に有する n^+ 型ソース半導体部7とを有する。

【0197】 p^+ 型ゲート拡散半導体部41～45は、トランジスタの基本セルや半導体チップの外周部分に設けられる外部接続用のゲート配線の役割と、チャネル幅の制御を行うゲートとしての機能とを併せもつ。すなわち、 p^+ 型ゲート拡散半導体部41～45は、y軸方向に所定の間隔を隔てて n 型チャネル半導体部5の内部に埋め込まれるように形成されている。 p^+ 型ゲート拡散半導体部41～45の各々は、所定の軸方向(図38のx軸方向)に延びている。好適な実施例では、 p^+ 型ゲート拡散半導体部41～45は、ドーパントが添加された

SiC（炭化珪素）により形成されている。ゲート電極4aは、後述の一括ソース電極7aを囲むように設けられている。

【0198】 n⁺型ソース半導体部7は、n型チャネル半導体部5上に設けられている。ソース半導体部7は、ドレイン半導体部2の導電型と同一導電型を有する。n⁺型ソース半導体部7は、n型チャネル半導体部5を介してn型ドリフト半導体部3と接続されている。また、n⁺型ソース半導体部7の表面上には、一括ソース電極7aが設けられている。一括ソース電極7aは金属で形成されている。また、p⁺型ゲート拡散半導体部41とn⁺型ソース半導体部7とは、一括ソース電極7aにより電氣的に接続されている。

【0199】 本実施の形態における縦型JFET1wの構造によれば、ゲート配線が半導体内部に埋め込まれているので、表面でのゲート配線が不要となる。したがって、複数のトランジスタにより構成される半導体チップ全体で考えたとき、チップ表面の配線が簡素になる。また、チップの表面積を小さくできる。

【0200】（第21の実施形態） 次に、図39を参照して、第16の実施形態の変形態様である第21の実施形態について説明する。第21の実施形態における縦型JFETに関して、第16の実施形態において説明した縦型JFET1uの構成と同様である各構成要素には、同一の符号を付した。以下、第16の実施形態との差異について説明する。

【0201】 図39は、第21の実施形態における縦型JFET1xの断面図である。第21の実施形態と第16の実施形態とは、ゲート半導体部の構造が異なる。すなわち、第21の実施形態では、第2及び第3の領域3b、3c並びにn型チャネル半導体部5上にp⁺型ゲート半導体部11が設けられている。

【0202】 ゲート半導体部11の導電型はチャネル半導体部5の導電型と逆導電型である。ゲート半導体部11のp型ドーパント濃度は、チャネル半導体部5のn型ドーパント濃度より高いので、空乏層はチャネル半導体部に伸びる。p⁺型ゲート半導体部11のドーパント濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 程度で

ある。好適な実施例では、p型ゲート半導体部11は、ドーパントが添加されたSiCにより形成されている。p型ゲート半導体部の厚さは、例えば、 $0.3\mu\text{m}$ 程度である。縦型JFET1xは、p型埋込半導体部4とp型ゲート半導体部11との間にn型チャネル半導体部5を有するので、n型チャネル半導体部5の両側からチャネルを制御できる。この構造によれば、n型チャネル半導体部5の片側からチャネルを制御する場合に比べて、制御できるチャネルの幅が増す。これにより、ノーマリオフの実現が容易な構造となる。

【0203】(第22の実施形態) 次に、図40A及び図40Bを参照して、第17の実施形態の変形態様である第22の実施形態について説明する。第22の実施形態における縦型JFETの製造方法に関して、第17の実施形態において説明した縦型JFET1uの製造方法と同様である各構成要素には、同一の符号を付した。以下、第17の実施形態と異なるp⁺型ゲート半導体部形成工程について説明する。

【0204】(p⁺型ゲート半導体部形成工程) p⁺型ゲート半導体部形成工程は、p⁺型半導体部形成工程に引き続いて行われる。図40Aを参照して、p⁺型ゲート半導体部を形成する工程について説明する。所定の形状を有するマスクM3を用いて、SiC膜5上の領域5aにドーパントA2を選択的にイオン注入して、所定の深さを有するp⁺型ゲート半導体部11を形成する。p⁺型ゲート半導体部11の形成により形成されるチャネル層の厚さD4は、縦型JFETの閾値に応じて決定される。例えば、D4は $0.2\mu\text{m}$ 程度である。ゲート半導体部を形成した後、マスクM3を除去する。その結果、図40Bに示すような縦型JFETとなる。以上、第17の実施形態と異なるp⁺型ゲート半導体部形成工程について説明した。p⁺型ゲート半導体部形成工程に引き続いて、熱酸化工程が行われる。他の工程に関しては、第17の実施形態と同様であるが、これに限定されるものではない。

【0205】(第23の実施形態) 図41を参照して、第21の実施形態の変形

態様である第 23 の実施形態について説明する。第 23 の実施形態における縦型 J F E T に関して、第 23 の実施形態において説明した縦型 J F E T 1 x の構成と同様である各構成要素には、同一の符号を付した。以下、第 16 の実施形態とは異なるゲート半導体部の構造について説明する。

5 【0206】 図 41 は、第 23 の実施形態における縦型 J F E T 1 y の断面図である。第 23 の実施形態と第 16 の実施形態とは、ゲート半導体部の構造が異なる。すなわち、第 23 の実施形態では、縦型 J F E T 1 y は、 p^+ 型ゲート半導体部 12 を備えている。n 型チャネル半導体部 5 と p^+ 型ゲート半導体部 12 との $p-n$ 接合は、ヘテロ接合である。n 型チャネル半導体部 5 は S i C により形成されている。 p^+ 型ゲート半導体部 12 はポリシリコンにより形成されている。これにより、第 21 の実施形態に示した p^+ 型ゲート半導体部 11 を形成するための S i C のエピタキシャル成長工程が不要となり、縦型 J F E T 1 y を容易に構成できる。

15 【0207】 (第 24 の実施形態) 次に、図 42 A 及び図 42 B を参照して、第 21 の実施形態の変形態様である第 24 の実施形態について説明する。第 21 の実施形態における縦型 J F E T に関して、第 21 の実施形態において説明した縦型 J F E T 1 z の構成と同様である各構成要素には、同一の符号を付した。以下、第 21 の実施形態との差異について説明する。

20 【0208】 図 42 A は、第 24 の実施形態における縦型 J F E T 1 z の断面図である。第 24 の実施形態と第 16 の実施形態とは、ゲート半導体部の構造が異なる。すなわち、第 24 の実施形態では、 p^+ 型ゲート半導体部 4 と p^+ 型ゲート半導体部 11 とは、チャネル領域を挟んでいる。縦型 J F E T 1 z は、n 型チャネル半導体部 5 のチャネル領域内に設けられた p^+ 型半導体部 13 を更に備える。 p^+ 型半導体部 13 は、 p^+ 型ゲート半導体部 4 の領域 4 a 上に設けられている。 p^+ 型半導体部 13 は、n 型チャネル半導体部 5 を部分的に貫く様に設けられている。

25

【0209】 図42Bは、縦型JFET 1zのIII-III線における断面図である。図42Bに示すように、 p^+ 型半導体部13は、x軸方向に所定の間隔を隔ててn型チャネル半導体部5中に配列されている。 p^+ 型半導体部13のドーパント濃度は、n型チャネル半導体部5のドーパント濃度より高い。このため、空乏層は、主にn型チャネル半導体部5内に伸びる。好適な実施例では、 p^+ 型半導体部13は、ドーパントが添加されたSiCにより形成されている。縦型JFET 1zにおいては、 p^+ 型ゲート半導体部4は、 p^+ 型ゲート半導体部11と p^+ 型半導体部13を介して電氣的に接続されている。これにより、 p^+ 型ゲート半導体部4と p^+ 型ゲート半導体部11とに同電位が印加されるので、チャネル層の厚さを増加できる。

【0210】(第25の実施形態) 次に、図43A及び図43Bを参照して、第16の実施形態の変形態様である第25の実施形態について説明する。第25の実施形態における縦型JFETに関して、第16の実施形態において説明した縦型JFET 1uの構成と同様である各構成要素には、同一の符号を付した。以下、第16の実施形態との差異について説明する。

【0211】 図43Aは、第25の実施形態における縦型JFET 10aの断面図である。第25の実施形態と第16の実施形態とは、チャネル半導体部の構造が異なる。すなわち、第25の実施形態では、チャネル半導体部はパルスドープ構造を有する。

【0212】 図43Bに示す様に、パルスドープ半導体部14は、 n^- 型SiC層141~144と n^+ 型SiC層145~147とが交互に積層されて構成されている。また、 n^- 型SiC層141~144のドーパント濃度は、 n^+ 型SiC層145~147のドーパント濃度よりも低い。 n^- 型SiC層141~144のドーパント濃度は、例えば、 $1 \times 10^{16} / \text{cm}^3$ 程度である。 n^- 型SiC層141~144の厚さT8は、例えば、10nm前後である。 n^+ 型SiC層145~147のドーパント濃度は、 $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$

である。n⁺型SiC層145～147の厚さT9は、例えば、10nm前後である。この様な構造により、キャリアは、高濃度層よりもキャリア移動度が大きい低濃度層を移動するので、チャネル領域を流れる電流が増加する。その結果、オン抵抗を低減できる。

5 【0213】(第26の実施形態) 次に、図44を参照して、第16の実施形態の変形態様である第26の実施形態について説明する。第26の実施形態における縦型JFETに関して、第16の実施形態において説明した縦型JFET1uの構成と同様である各構成要素には、同一の符号を付した。以下、第16の実施形態と異なるドリフト半導体部の構造について説明する。

10 【0214】 図44は、第26の実施形態における縦型JFET10bの断面図である。第26の実施形態は、第1の実施形態とドリフト半導体部の構造の点において異なる。すなわち、第1の実施形態では、ドリフト半導体部は、n⁺型ドレイン半導体部2の導電型と同一の導電型の構成としたけれども、第26の実施形態では、ドリフト半導体部は、導電型の異なる半導体領域から構成される超
15 接合(SJ: Super Junction)構造を有する。

 【0215】 図44を参照すると、ドリフト半導体部は、n⁺型ドレイン半導体部2の主面上に設けられている。ドリフト半導体部は、n⁺型ドレイン半導体部2の主面に交差する基準面に沿って延びるp型半導体領域31、33及びn型半導体領域32を有する。p型半導体領域31、33は、n型半導体領域32を
20 挟むように配列されている。p型半導体領域とn型半導体領域との接合面は、p⁺型ゲート半導体部41、42とn⁺型ドレイン半導体部2との間に位置する。

 【0216】 p型半導体領域31、33は、p⁺型ゲート半導体部41、42とn⁺型ドレイン半導体部2との間に位置し、p⁺型ゲート半導体部41、42に沿って(図44のx軸方向)延びている。

25 【0217】 n型半導体領域32は、p⁺型ゲート半導体部41とp⁺型ゲート半導体部42との間のn型チャネル半導体部5と、n⁺型ドレイン半導体部2と

の間に位置し、 p^+ 型ゲート半導体部 4 1, 4 2 に沿う方向 (図 4 4 の x 軸方向) に延びている。n 型半導体領域 3 2 は、ドレイン半導体部 2 の導電型と同一の導電型を有する。

【0 2 1 8】 超接合構造は、図 4 5 に示すように、第 2 1 の実施形態において説明した縦型 J F E T 1 x のドリフト半導体部にも適用可能である。また、超接合構造は、図 4 6 に示すように、第 2 4 の実施形態において説明した縦型 J F E T 1 z のドリフト半導体部にも適用可能である。超接合構造は、その他の実施形態において説明した縦型 J F E T にも適用できる。

【0 2 1 9】 本実施形態における縦型 J F E T 1 0 b によれば、ドリフト半導体部は、導電型の異なる複数の半導体領域により構成されている。このような構造を有するドリフト半導体部は、高ドレイン電圧が印加されるときに、ドリフト半導体部の全体が十分に空乏化される。したがって、ドリフト半導体部における電界の最大値が低くなる。故に、ドリフト半導体部の厚さを薄くできる。このため、オン抵抗が小さくなる。

【0 2 2 0】 p 型半導体領域 3 1, 3 3 と n 型半導体領域 3 2 のドーパント濃度は、ほぼ同一であることが好ましい。5 0 0 V 耐圧を想定した場合における好適な実施例では、 p 型半導体領域 3 1, 3 3 及び n 型半導体領域 3 2 のドーパント濃度は、約 $2.7 \times 10^{17} \text{ cm}^{-3}$ である。また、5 0 0 V 耐圧を想定した場合における好適な実施例では、 p 型半導体領域 3 1, 3 3 及び n 型半導体領域 3 2 の幅 (図中 y 軸方向) は $0.5 \mu\text{m}$ 程度である。これにより、空乏層は、 p 型半導体領域の全体に延びると共に n 型半導体領域の全体に延びる。このように空乏層は両半導体領域に延びるので、ドリフト半導体部において電界の集中が緩和される。

【0 2 2 1】 (第 2 7 の実施形態) n 型半導体領域及び p 型半導体領域と、ゲート半導体部との位置関係は、これまでの実施形態に示された位置関係に限定されない。図 4 7 A は、第 2 7 の実施形態における各半導体領域とゲート半導体部と

の位置関係を示す模式図である。p型半導体領域31, 33及びn型半導体領域32は、共に所定の軸方向(図中x軸方向)に延びている。p型半導体領域31, 33は、n型半導体領域32を挟むように配列されている。p型半導体領域とn型半導体領域との接合は、p⁺型ゲート半導体部41, 42の下に位置する。

5 【0222】 これに対して、図47Bは、第27の実施形態における各半導体領域とゲート半導体部との位置関係を示す模式図である。p型半導体領域31, 33及びn型半導体領域32, 34は、共に所定の軸方向(図中x軸方向)に延びている。p型半導体領域31, 33は、n型半導体領域32, 34と交互に配列されている。p型半導体領域とn型半導体領域との接合は、p⁺型ゲート半導体部41, 42の下だけでなく、各ゲート半導体部の間にも位置している。

10 【0223】 図47Cは、更に別の形態における各半導体領域とゲート半導体部との位置関係を示す平面模式図である。p型半導体領域31, 33及びn型半導体領域32は、共に所定の軸方向(図中y軸方向)に延びている。p型半導体領域31, 33は、n型半導体領域32を挟むように配列されている。n型半導体領域は複数あってもよい。

15 【0224】(第28の実施形態) 以下、超接合構造を有する縦型JFETの製造方法における、超接合構造を構成するn型半導体領域及びp型半導体領域の形成方法について説明する。

20 【0225】(n型半導体層形成工程) まず、n⁺型SiC半導体基板を準備する。基板のn型不純物濃度は、この基板がドレイン半導体部として利用できる程度に高濃度である。図48Aに示す様に、n⁺型ドレイン半導体部2の表面にSiC膜3をエピタキシャル成長法により形成する。500V耐圧を想定した場合における好適な実施例では、SiC膜3の膜厚T10は、2.0μm以上3.0μm以下である。SiC膜3の導電型は、ドレイン半導体部2の導電型と同一である。また、SiC膜3のドーパント濃度は、n⁺型ドレイン半導体部2のドーパント濃度よりも低い。このSiC膜3からは、n型半導体層32, 34, 36

25

が形成される。

【0226】(p型半導体層形成工程) 図48Bを参照して、p型半導体層を形成する工程について説明する。所定のマスクMを用いて、n型半導体層3上に形成された領域31a, 31c, 31e, 31gにドーパントA3を選択的にイオン注入して、所定の深さを有するp型半導体層311, 331, 351, 371を形成する。p型半導体層を形成した後、マスクMを除去する。

【0227】(ドリフト半導体部形成工程) 図48Cを参照して、所望の厚さのドリフト半導体部を形成する工程について説明する。すなわち、n型半導体層形成工程とp型半導体層形成工程とを交互に繰り返して、n⁺型ドレイン半導体部2上に超接合構造を有するドリフト半導体部を形成する。その結果、所定の厚さ(図中z軸方向)を有する半導体層3が形成される。以上、n型半導体領域及びp型半導体領域を有するドリフト半導体部の形成方法について説明した。他の工程に関しては、第18、第20、第22の実施形態と同様であるが、これに限定されるものではない。

【0228】なお、本発明に係る縦型JFET及びその製造方法は、上記各実施形態に記載の態様に限定されるものではなく、他の条件等に応じて種々の変形態様をとることが可能である。例えば、上記各実施形態では、ドナー不純物を含むn型半導体によりチャネル領域を形成する例について説明したが、チャネル領域がp型半導体により形成されたJFETにも本発明を適用可能である。但し、この場合には、電流方向や印加するゲート電圧の極性が逆になる。

産業上の利用可能性

【0229】本発明によれば、高ドレイン耐圧を維持しつつ低損失な縦型接合型電界効果トランジスタ、及び縦型接合型電界効果トランジスタの製造方法を提供できる。

請求の範囲

1. ドレイン半導体部と、

前記ドレイン半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第1、第2、第3及び第4の領域を有するドリフト半導体部と、

5 前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第1、第2及び第3の領域上に設けられた埋込半導体部と、

前記埋込半導体部に沿って設けられ、前記埋込半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第4の領域に電氣的に接続されたチャネル半導体部と、

10 前記ドリフト半導体部の第1の領域及び前記チャネル半導体部上に設けられたソース半導体部と、

前記ドレイン半導体部の導電型と逆導電型を有し、前記第3及び第4の領域及び前記チャネル半導体部上に設けられたゲート半導体部とを備え、

15 前記ゲート半導体部は、前記第3の領域から前記第4の領域に向かう方向に延びる複数の凸部を有しており、前記凸部の間には前記チャネル半導体部が設けられており、前記凸部は前記埋込半導体部に接続されている、縦型接合型電界効果トランジスタ。

2. ドレイン半導体部と、

20 前記ドレイン半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第1、第2、第3及び第4の領域を有するドリフト半導体部と、

前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第1、第2及び第3の領域上に設けられた埋込半導体部と、

25 前記埋込半導体部に沿って設けられ、前記埋込半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第4の領域に電氣的に接続されたチャネル半導体部と、

前記ドリフト半導体部の第 1 の領域及び前記チャネル半導体部上に設けられたソース半導体部と、

前記ドレイン半導体部の導電型と逆導電型を有し、前記第 3 及び第 4 の領域及び前記チャネル半導体部上に設けられた複数のゲート半導体部と

5 を備え、

前記複数のゲート半導体部の各々は、前記第 3 の領域から前記第 4 の領域に向かう方向に延び、前記複数のゲート半導体部の間には前記チャネル半導体部が設けられており、各ゲート半導体部は前記埋込半導体部に接続されている、縦型接合型電界効果トランジスタ。

10 3. ドレイン半導体部と、

前記ドレイン半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第 1、第 2、第 3 及び第 4 の領域を有するドリフト半導体部と、

前記ドリフト半導体部の主面上に設けられ、この主面と交差する所定の軸方向に延びる第 1、第 2 及び第 3 の領域上に設けられた埋込半導体部と、

15 前記埋込半導体部に沿って設けられ、前記埋込半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第 4 の領域に電氣的に接続されたチャネル半導体部と、

前記ドリフト半導体部の導電型と逆導電型を有し、前記第 3 及び第 4 の領域及び前記チャネル半導体部上に設けられたゲート半導体部と

20 を備え、

前記ゲート半導体部は、前記第 3 の領域から前記第 4 の領域に向かう方向に延びる複数の凸部を有しており、前記凸部の間には前記チャネル半導体部が設けられており、前記ドリフト半導体部は前記埋込半導体部に接続されており、

25 前記ドリフト半導体部は、前記ドレイン半導体部の主面と交差する軸方向に延びる第 5 の領域を有し、

前記ドレイン半導体部の導電型と逆導電型を有し、前記第 5 の領域上に設けら

れた第 2 の半導体部を更に備え、

前記第 2 の半導体部は、前記埋込半導体部からソース半導体部に沿って前記所定の軸方向に延びる、縦型接合型電界効果トランジスタ。

5 4. 前記ドリフト半導体部の第 1、第 2 の領域及び前記チャネル半導体部上に設けられ、前記ソース半導体部の導電型と同一導電型を有する第 1 の半導体部を更に備え、

前記第 1 の半導体部のドーパント濃度は前記チャネル半導体部のドーパント濃度より低い、請求項 1～3 の何れか一項に記載の縦型接合型電界効果トランジスタ。

10 5. ドレイン半導体部と、

前記ドレイン半導体部の主面上に設けられ、この主面に沿って延びる基準面と交差する所定の軸方向に延びる第 1 から第 5 の領域を有するドリフト半導体部と、

前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第 1 から第 4 の領域上に前記基準面に沿って設けられた埋込半導体部と、

15 前記ドリフト半導体部の前記第 2 から第 4 の領域上に前記基準面に沿って設けられ、前記埋込半導体部の導電型と同一導電型を有する複数のゲート半導体部と、

前記埋込半導体部と前記複数のゲート半導体部との間、及び前記複数のゲート半導体部の間に設けられ、前記埋込半導体部の導電型と逆導電型を有するチャネル半導体部と、

20 前記埋込半導体部及び前記チャネル半導体部の導電型と同一の導電型を有し、前記所定の軸方向に延び、前記埋込半導体部と前記複数のゲート半導体部とを接続する接続半導体部と、

前記ドリフト半導体部の第 1 の領域上において前記チャネル半導体部を接続する第 1 の集合半導体部と、

25 前記ドリフト半導体部の第 5 の領域上において前記チャネル半導体部を接続する第 2 の集合半導体部と、

前記ドリフト半導体部の第 1 の領域上に設けられ、前記第 1 の集合半導体部に接続されたソース半導体部とを備える、縦型接合型電界効果トランジスタ。

6. ドレイン半導体部と、

5 前記ドレイン半導体部の主面上に設けられ、この主面に沿って延びる基準面と交差する所定の軸方向に延びる第 1 から第 5 の領域を有するドリフト半導体部と、

前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の前記第 1 から第 4 の領域上に前記基準面に沿って設けられた埋込半導体部と、

前記ドリフト半導体部の前記第 2 から第 4 の領域上に前記基準面に沿って設けられ、前記埋込半導体部の導電型と同一導電型を有する複数のゲート半導体部と、

10 前記埋込半導体部と前記複数のゲート半導体部との間、及び前記複数のゲート半導体部の間に設けられ、前記埋込半導体部の導電型と逆導電型を有するチャンネル半導体部と、

前記チャンネル半導体部の導電型と同一の導電型を有し、前記複数のゲート半導体部を接続する接続半導体部と、

15 前記ドリフト半導体部の第 1 の領域上において前記チャンネル半導体部を接続する第 1 の集合半導体部と、

前記ドリフト半導体部の第 5 の領域上において前記チャンネル半導体部を接続する第 2 の集合半導体部と、

20 前記ドリフト半導体部の第 1 の領域上に設けられ、前記第 1 の集合半導体部に接続されたソース半導体部とを備え、

前記ドリフト半導体部は、前記主面上に設けられ、この主面と交差する方向に延びる第 6 の領域を有し、

前記ドレイン半導体部の導電型と逆導電型を有し、前記第 6 の領域上に設けられた第 3 の接続半導体部を更に備え、

25 前記第 3 の接続半導体部は、前記第 1 の集合半導体部に沿って設けられている、縦型接合型電界効果トランジスタ。

7. 前記ゲート半導体部及び前記チャネル半導体部の厚さは、前記ドリフト半導体部の前記第1の領域上の前記埋込半導体部と前記ソース半導体部との間隔より小さい、請求項1～4の何れか一項に記載の縦型接合型電界効果トランジスタ。

5 8. 前記ドリフト半導体部の前記第2から第4の領域上の前記複数のゲート半導体部及び前記チャネル半導体部の厚さは、前記ドリフト半導体部の前記第1の領域上の前記埋込半導体部と前記ソース半導体部との間隔より小さい、請求項5又は6に記載の縦型接合型電界効果トランジスタ。

10 9. 前記ゲート半導体部の凸部の間隔は、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されている、請求項1、2、4の何れか一項に記載の縦型接合型電界効果トランジスタ。

15 10. 前記ゲート半導体部の前記凸部の間隔、及び前記ゲート半導体部の前記凸部と前記埋込半導体部との間隔は、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されている、請求項3に記載の縦型接合型電界効果トランジスタ。

 11. 各ゲート半導体部の間隔、及び前記ゲート半導体部と前記埋込半導体部との間隔は、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されている、請求項5～7の何れか一項に記載の縦型接合型電界効果トランジスタ。

20 12. 前記チャネル半導体部は、低濃度層と高濃度層とが交互に積層されている構造を有する、請求項1～11の何れか一項に記載の縦型接合型電界効果トランジスタ。

 13. 前記ドリフト半導体部は、
前記ドレイン半導体部の主面と交差する基準面に沿って延び前記ドレイン半導体部の導電型と同一の導電型を有し、前記チャネル半導体部に電氣的に接続される導電半導体領域と、

25

前記導電半導体領域に隣接して設けられ前記ドレイン半導体部の導電型と逆導電型を有し、前記埋込半導体部に電氣的に接続される非導電半導体領域とを有し、

前記導電半導体領域と前記非導電半導体領域とが、前記ドリフト半導体部の第1から第4の領域が並ぶ方向と同一の方向に形成されている、請求項1～11の何れか一項に記載の縦型接合型電界効果トランジスタ。

14. 前記ドリフト半導体部は、

前記ドレイン半導体部の主面と交差する基準面に沿って延び前記ドレイン半導体部の導電型と同一の導電型を有し、前記チャネル半導体部に電氣的に接続される導電半導体領域と、

前記導電半導体領域に隣接して設けられ前記ドレイン半導体部の導電型と逆導電型を有し、前記埋込半導体部に電氣的に接続される非導電半導体領域とを有し、

前記導電半導体領域と前記非導電半導体領域とが、前記ドリフト半導体部の第1から第4の領域が並ぶ方向と交差する方向に形成されている、請求項1～11の何れか一項に記載の縦型接合型電界効果トランジスタ。

15. 前記ドレイン半導体部、前記ドリフト半導体部、前記埋込半導体部、前記ゲート半導体部、前記チャネル半導体部、前記接続半導体部、及び前記ソース半導体部は、ワイドギャップ半導体材料であるSiC又はGaNにより形成される、請求項1～14の何れか一項に記載の縦型接合型電界効果トランジスタ。

16. 第1導電型の基板上に、第1導電型の第1半導体層を形成する工程を備え、前記第1半導体層の主面は、所定の軸方向に順に配置された第1から第4の領域を有しており、

前記第1半導体層の主面の第1から第3の領域に第2導電型のドーパントを導入して、埋込半導体部を形成する工程を備え、

前記第1半導体層上に第1導電型の第2半導体層を形成する工程を備え、

前記第2半導体層上に第1導電型のソース半導体層を形成する工程を備え、

前記第1半導体層の主面の少なくとも第2、第3、第4の何れかの領域上の前

記ソース半導体層を、前記第 1 半導体層に到達するようにエッチングして前記第 2 半導体層の所定領域を露出する工程を備え、

前記所定領域は、前記所定の軸方向に延びる複数の第 1 の部分と、該複数の部分を含むように規定された第 2 の部分とを有しており、

5 ゲート半導体部のための第 2 導電型のドーパントを前記複数の第 1 の部分に導入して第 2 導電型の第 1 の半導体部を形成する工程を備える、縦型接合型電界効果トランジスタの製造方法。

1 7. ゲート半導体部のための第 2 導電型のドーパントを前記第 2 の部分に導入して第 2 導電型の第 2 の半導体部を形成する工程を更に備え、

10 前記第 2 の半導体部の深さは前記第 1 の半導体部の深さより浅い、請求項 1 6 に記載の縦型接合型電界効果トランジスタの製造方法。

1 8. 前記第 1 の半導体部は前記埋込半導体部に接続されるように形成される、請求項 1 6 又は 1 7 に記載の縦型接合型電界効果トランジスタの製造方法。

15 1 9. 第 1 導電型の基板上に、第 1 導電型の第 1 半導体層を形成する第 1 半導体層形成工程を備え、

前記第 1 半導体層の主面は、所定の軸方向に順に配置された第 1 から第 4 の領域を有しており、

20 前記第 1 半導体層の主面の第 1 から第 3 の領域に第 2 導電型のドーパントを導入して、埋込半導体部を形成する埋込半導体部形成工程を備え、

前記第 1 半導体層上に第 1 導電型の第 2 半導体層を形成する第 2 半導体層形成工程を備え、

25 前記第 1 半導体層の主面の第 2 及び第 3 の領域上の前記第 2 半導体層に、ゲート半導体部のための第 2 導電型のドーパントを所定の深さで導入して第 2 導電型の第 2 の半導体領域を形成する第 2 半導体領域工程を備え、

所望の数の前記第 2 半導体層が得られるまで前記第 2 半導体層形成工程及び前

記第 2 半導体領域工程を繰り返して、積層された複数のゲート半導体部及びチャネル半導体部を形成するチャネル半導体部形成工程を備え、

前記チャネル半導体部上にソース半導体部を形成するソース半導体部形成工程を備える、縦型接合型電界効果トランジスタの製造方法。

5 20. 前記第 2 半導体層形成工程では、所定の厚さを有する第 1 導電型の第 2 半導体層を前記第 1 半導体層上に形成し、

前記チャネル半導体部形成工程では、前記第 2 半導体層内の所定の深さで濃度が極大になるように第 2 導電型のドーパントを導入して、積層された複数のゲート半導体部及びチャネル半導体部を形成する、請求項 19 に記載の縦型接合型電界効果トランジスタの製造方法。

10 21. 前記チャネル半導体部形成工程では、前記第 2 半導体層内の所定の深さで濃度が極大になるように第 1 のドーパント及び第 2 のドーパントを交互に導入して、積層された複数のゲート半導体部及びチャネル半導体部を形成する、請求項 20 に記載の縦型接合型電界効果トランジスタの製造方法。

15 22. 前記チャネル半導体部形成工程は、前記第 2 半導体層内を互いに接続するように第 2 導電型の第 2 の半導体接続領域を形成する接続領域形成工程を含む、請求項 19 ～ 21 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

20 23. 前記第 1 半導体層を形成する工程では、前記第 1 導電型の基板と同一導電型の導電半導体層を形成し、前記導電半導体層と逆導電型の非導電半導体層を前記導電半導体層上に形成し、前記導電半導体層が前記チャネル半導体部と電氣的に接続されるように、前記第 1 半導体層を形成する、請求項 16 ～ 22 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

25 24. 前記第 1 半導体層を形成する工程では、前記第 1 導電型の基板と逆導電型の非導電半導体層を形成し、前記非導電半導体層と逆導電型の導電半導体層を前記非導電半導体層上に形成し、前記導電半導体層が前記チャネル半導体部

と電氣的に接続されるように、前記第 1 半導体層を形成する、請求項 1 6 ～ 2 2 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

2 5. 前記第 1 半導体層を形成する工程では、前記基板の主面と交差する方向に前記導電半導体層と前記非導電半導体層とを形成することにより前記第 1 半導体層を形成する、請求項 1 6 ～ 2 2 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

2 6. 前記ソース半導体部及び前記第 2 の半導体部と電氣的に接続されたソース電極を更に備え、

前記埋込半導体部は、前記第 2 の半導体部を介して前記ソース電極に電氣的に接続される、請求項 3 に記載の縦型接合型電界効果トランジスタ。

2 7. ドレイン半導体部と、

前記ドレイン半導体部の主面上に設けられ、この主面と交差する方向に延びる第 1、第 2、第 3 及び第 4 の領域を有するドリフト半導体部と、

前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の第 1、第 2 及び第 4 の領域上に設けられた埋込半導体部と、

前記第 1 及び第 2 の領域上の埋込半導体部に沿って設けられ、前記埋込半導体部の導電型と異なる導電型を有し、前記ドリフト半導体部の第 3 の領域に電氣的に接続されたチャネル半導体部と、

前記ドリフト半導体部の第 1 の領域及び前記チャネル半導体部上に設けられたソース半導体部と、

前記埋込半導体部と同一の導電型を有し、前記埋込半導体部と電氣的に接続され、前記ドリフト半導体部の第 4 の領域上に設けられた第 1 のゲート半導体部と、

前記ドリフト半導体部の第 4 の領域上に前記第 1 のゲート半導体部と電氣的に接続された第 1 のゲート電極と、

前記ドリフト半導体部の第 1 の領域上のソース半導体部と電氣的に接続され、前記第 1 のゲート電極上に前記第 1 のゲート電極と電氣的に絶縁され、前記ドリ

フト半導体部の第 1、第 2、第 3 及び第 4 の領域上に設けられたソース電極とを備える縦型接合型電界効果トランジスタ。

28. 前記ドレイン半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の第 2 の領域あるいは第 2 及び第 3 の領域上に設けられた第 2 のゲート半導体部を更に備え、

前記埋込半導体部と前記第 2 のゲート半導体部との間には、前記チャネル半導体部が設けられ、

前記ドリフト半導体部の第 2 の領域あるいは第 2 及び第 3 の領域上に、前記第 2 のゲート半導体部と電氣的に接続され、ソース電極の下に電氣的に絶縁された第 2 のゲート電極が設けられた、請求項 27 に記載の縦型接合型電界効果トランジスタ。

29. ドレイン半導体部と、

前記ドレイン半導体部の主面上に設けられ、この主面と交差する方向に延びる第 1、第 2、第 3 及び第 4 の領域を有するドリフト半導体部と、

前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の第 1、第 2 及び第 4 の領域上に設けられた埋込半導体部と、

前記第 1 及び第 2 の領域の埋込半導体部に沿って設けられ、前記埋込半導体部の導電型と異なる導電型を有し、前記ドリフト半導体部の第 3 の領域に電氣的に接続されたチャネル半導体部と、

前記ドリフト半導体部の第 1 の領域及び前記チャネル半導体部上に設けられたソース半導体部と、

前記埋込半導体部と同一の導電型を有し、前記埋込半導体部と電氣的に接続され、前記ドリフト半導体部の第 4 の領域上に設けられた第 1 のゲート半導体部と、

前記ドリフト半導体部の第 1 の領域上のソース半導体部と電氣的に接続され、第 1 のゲート電極上に前記第 1 のゲート電極と電氣的に絶縁され、前記ドリフト半導体部の第 1、第 2、第 3 及び第 4 の領域上に設けられたソース電極と、

前記ドレイン半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に設けられた第2のゲート半導体部とを備え、

5 前記埋込半導体部と前記第2のゲート半導体部との間には、前記チャネル半導体部が設けられ、

前記ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に、前記第2のゲート半導体部と電氣的に接続され、ソース電極の下に電氣的に絶縁された第2のゲート電極が設けられ、

10 前記第1のゲート半導体部と前記ソース半導体部とが前記ソース電極により電氣的に接続された、縦型接合型電界効果トランジスタ。

30. ドレイン半導体部と、

前記ドレイン半導体部の主面上に設けられ、この主面と交差する方向に延びる第1、第2、及び第3の領域を有するドリフト半導体部と、

15 前記ドリフト半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の第1、第2及び第3の領域上に設けられた埋込半導体部と、

前記第1及び第2の領域の埋込半導体部に沿って設けられ、前記埋込半導体部の導電型と異なる導電型を有し、前記ドリフト半導体部の第3の領域に電氣的に接続されたチャネル半導体部と、

20 前記ドリフト半導体部の第1の領域及び前記チャネル半導体部上に設けられたソース半導体部と、

前記ドレイン半導体部の導電型と逆導電型を有し、前記ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に設けられた第2のゲート半導体部とを備え、

25 前記ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に、前記第2のゲート半導体部と電氣的に接続され、ソース電極の下に電氣的に絶縁された第2のゲート電極と、

前記ドリフト半導体部の第 1 の領域上のソース半導体部と電氣的に接続され、
第 2 のゲート電極上に前記第 2 のゲート電極と電氣的に絶縁され、前記ドリフト
半導体部の第 1、第 2、及び第 3 の領域上に設けられたソース電極とが設けられ、

5 前記埋込半導体部と同一導電型を有し、前記第 2 のゲート半導体部と前記埋込
半導体部とを電氣的に接続するように前記チャネル半導体部を貫通し、前記ドリ
フト半導体部の第 2 の領域上に点在する接続半導体部が設けられた、縦型接合型
電界効果トランジスタ。

10 3 1. 前記ドリフト半導体部の第 1 の領域及び前記チャネル半導体部上に設
けられ、前記ソース半導体部の導電型と同一導電型を有する第 1 の半導体部を更
に備え、

前記第 1 の半導体部の不純物濃度は、前記チャネル半導体部の不純物濃度より
低い、請求項 2 7～3 0 の何れか一項に記載の縦型接合型電界効果トランジスタ。

15 3 2. 複数のトランジスタにより構成される基本セル又はチップの外周部分
に、前記第 1 及び第 2 のゲート電極の少なくとも一方がゲート電極として設けら
れた、請求項 2 7～3 1 の何れか一項に記載の縦型接合型電界効果トランジスタ。

3 3. 複数のトランジスタにより構成される基本セル又はチップの外周部分
に、前記第 1 のゲート半導体部と前記ソース半導体部とが前記ソース電極により
電氣的に接続された、請求項 6 に記載の縦型接合型電界効果トランジスタ。

20 3 4. 前記第 2 のゲート半導体部と前記チャネル半導体部とは、ヘテロ接合
を構成するように設けられている、請求項 2 8～3 3 の何れか一項に記載の縦型
接合型電界効果トランジスタ。

25 3 5. 前記ドリフト半導体部の第 2 の領域上に設けられた前記チャネル半導
体部の厚さは、前記ドリフト半導体部の第 1 の領域上に設けられた前記埋込半導
体部と前記ソース半導体部との間隔よりも小さい、請求項 2 7～3 4 の何れか一
項に記載の縦型接合型電界効果トランジスタ。

3 6. 前記ドリフト半導体部の第 2 の領域上に設けられた前記チャネル半導

体部の厚さは、当該縦型接合型電界効果トランジスタがノーマリオフ特性を示すように決定されている、請求項 27～35 の何れか一項に記載の縦型接合型電界効果トランジスタ。

5 37. 前記チャネル半導体部は、低濃度層と高濃度層とが交互に積層されている構造を有する、請求項 27～36 の何れか一項に記載の縦型接合型電界効果トランジスタ。

10 38. 前記ドリフト半導体部は、前記ドレイン半導体部の主面と交差する基準面に沿って延び前記ドレイン半導体部の導電型と同一の導電型を有し、前記ドリフト半導体部の第3の領域から前記チャネル半導体部に電氣的に接続される導電半導体領域と、

前記導電半導体領域に隣接して設けられ前記ドレイン半導体部の導電型と逆導電型を有し、前記埋込半導体部に電氣的に接続される非導電半導体領域とを有し、

15 前記導電半導体領域と前記非導電半導体領域とが、前記ドリフト半導体部の第1から第4の領域が並ぶ方向と同一の方向に形成されている、請求項 27～37 の何れか一項に記載の縦型接合型電界効果トランジスタ。

39. 前記ドリフト半導体部は、前記ドレイン半導体部の主面と交差する基準面に沿って延び前記ドレイン半導体部の導電型と同一の導電型を有し、前記ドリフト半導体部の第3の領域から前記チャネル半導体部に電氣的に接続される導電半導体領域と、

20 前記導電半導体領域に隣接して設けられ前記ドレイン半導体部の導電型と逆導電型を有し、前記埋込半導体部に電氣的に接続される非導電半導体領域とを有し、

前記導電半導体領域と前記非導電半導体領域とが、前記ドリフト半導体部の第1から第4の領域が並ぶ方向と交差する方向に形成されている、請求項 27～37 の何れか一項に記載の縦型接合型電界効果トランジスタ。

25 40. 前記ドレイン半導体部、前記ドリフト半導体部、前記第1のゲート半導体部、前記チャネル半導体部は、ワイドギャップ半導体材料である SiC 又は

GaNにより形成される、請求項27～39の何れか一項に記載の縦型接合型電界効果トランジスタ。

41. 第1導電型の基板上に、第1、第2、第3及び第4の領域を有するドリフト半導体層を形成する工程と、

5 前記ドリフト半導体層の第1、第2及び第4の領域に、前記ドリフト半導体層の導電型と逆導電型となる不純物を導入して、埋込半導体部を形成する工程と、

前記埋込半導体部及び前記ドリフト半導体層上に、前記埋込半導体部の導電型と異なる導電型を有するチャンネル半導体部を形成する工程と、

前記ドリフト半導体層の第1の領域上にソース半導体部を形成する工程と、

10 前記ドリフト半導体層の第4の領域上の一部に前記埋込半導体部の導電型と同一の導電型となる不純物を導入して、第1のゲート半導体部を形成する工程と、

前記第1のゲート半導体部に電氣的に接続された第1のゲート電極を形成する工程と、

前記第1のゲート電極と電氣的に絶縁された層間膜を形成する工程と、

15 前記層間膜上にソース半導体部と電氣的に接続されるソース電極を形成する工程と

を含む縦型接合型電界効果トランジスタの製造方法。

42. 前記第1のゲート半導体部を形成する工程に先立って、前記ドリフト半導体層の第2の領域あるいは第2及び第3の領域に、前記第1のゲート半導体部の導電型と同一導電型となる不純物を導入して、第2のゲート半導体部を形成する工程を更に含み、

20 前記第2のゲート半導体部と電氣的に接続された第2のゲート電極を、前記第1のゲート電極を形成する工程にて形成する、請求項41に記載の縦型接合型電界効果トランジスタの製造方法。

25 43. 第1導電型の基板上に、第1、第2、第3及び第4の領域を有するドリフト半導体層を形成する工程と、

前記ドリフト半導体層の第 1、第 2 及び第 4 の領域に、前記ドリフト半導体層の導電型と逆導電型となる不純物を導入して、埋込半導体部を形成する工程と、

前記埋込半導体部及び前記ドリフト半導体層上に、前記埋込半導体部の導電型と異なる導電型を有するチャネル半導体部を形成する工程と、

5 前記ドリフト半導体層の第 1 の領域上にソース半導体部を形成する工程と、

前記ドリフト半導体層の第 2 の領域あるいは第 2 及び第 3 の領域に、前記埋込半導体部の導電型と同一の導電型となる不純物を導入して、第 2 のゲート半導体部を形成する工程と、

10 前記ドリフト半導体層の第 4 の領域上の一部に前記埋込半導体部の導電型と同一の導電型となる不純物を導入して、第 1 のゲート半導体部を形成する工程と、

前記第 2 のゲート半導体部に電氣的に接続された第 2 のゲート電極を形成する工程と、

15 前記ドリフト半導体層の第 1 の領域及び前記チャネル半導体部上に設けられ前記ソース半導体部の導電型と同一導電型を有する第 1 の半導体部と、前記ソース半導体部とを電氣的に接続するソース電極を形成する工程とを含む縦型接合型電界効果トランジスタの製造方法。

4 4. 第 1 導電型の基板上に、第 1、第 2、第 3 及び第 4 の領域を有するドリフト半導体層を形成する工程と、

20 前記ドリフト半導体層の第 1、第 2 及び第 4 の領域に、前記ドリフト半導体層の導電型と逆導電型となる不純物を導入して、埋込半導体部を形成する工程と、

前記埋込半導体部及び前記ドリフト半導体層上に、前記埋込半導体部の導電型と異なる導電型を有するチャネル半導体部を形成する工程と、

前記ドリフト半導体層の第 1 の領域上にソース半導体部を形成する工程と、

25 前記ドリフト半導体層の第 2 の領域あるいは第 2 及び第 3 の領域に、前記埋込半導体部の導電型と同一の導電型を有する不純物を導入して、第 2 のゲート半導体部を形成する工程と、

前記ドリフト半導体層の第 2 の領域上の一部に前記埋込半導体部の導電型と同一の導電型となる不純物を導入して、前記第 2 のゲート半導体部と前記埋込半導体部とを接続する接続半導体部が点在する様に形成する工程と、

5 前記第 2 のゲート半導体部に電氣的に接続された第 2 のゲート電極を形成する工程と

を含む縦型接合型電界効果トランジスタの製造方法。

4 5. 前記ソース半導体部を形成する工程に先立って、前記チャネル半導体部上に前記ソース半導体部の導電型と同一導電型を有する第 1 の半導体部を形成する工程を更に含み、

10 前記第 1 の半導体部の不純物濃度は、前記チャネル半導体部の不純物濃度より低い、請求項 4 1 ～ 4 4 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

4 6. 前記ドリフト半導体層を形成する工程では、ドレイン半導体部と同一導電型の導電半導体層を形成し、前記導電半導体層と逆導電型の非導電半導体層を前記導電半導体層内に形成し、前記導電半導体層が前記チャネル半導体部と電氣的に接続されるように、前記ドリフト半導体層を形成する、請求項 4 1、4 3、4 4 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

4 7. 前記ドリフト半導体層を形成する工程では、前記ドリフト半導体部と逆導電型の非導電半導体層を形成し、前記非導電半導体層と逆導電型の導電半導体層を前記非導電半導体層内に形成し、前記導電半導体層が前記チャネル半導体部と電氣的に接続されるように、前記ドリフト半導体層を形成する、請求項 4 1、4 3、4 4 の何れか一項に記載の縦型接合型電界効果トランジスタの製造方法。

図 1A

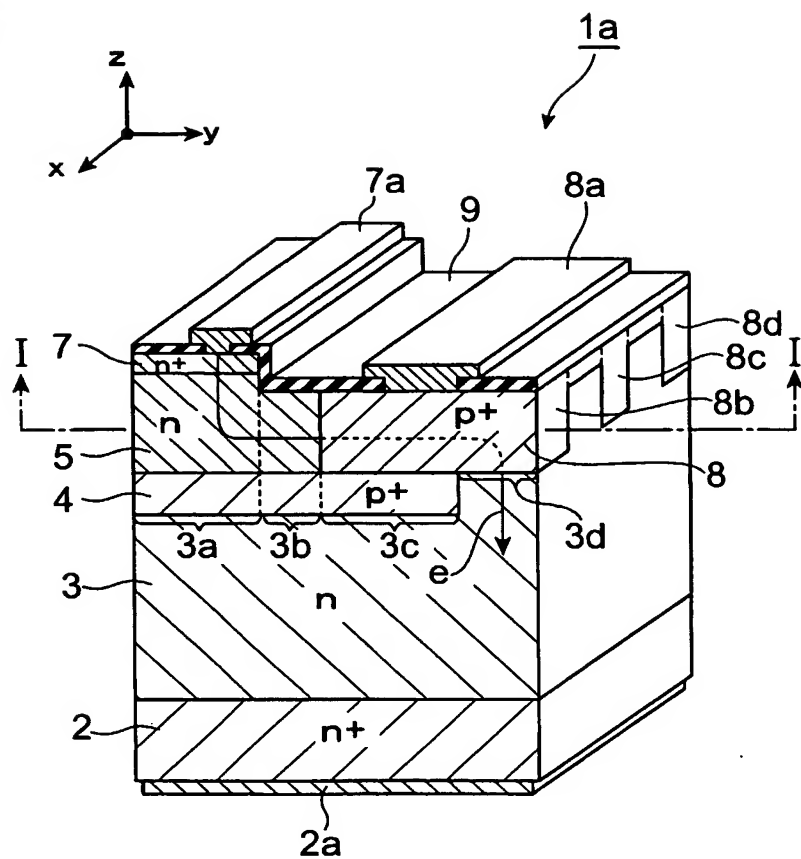


図 1B

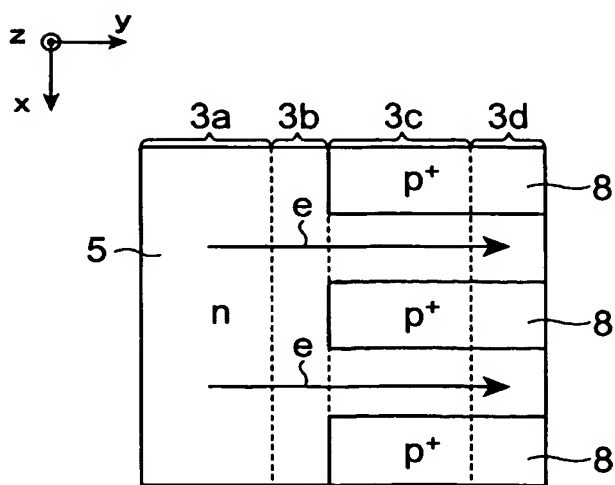


図2A

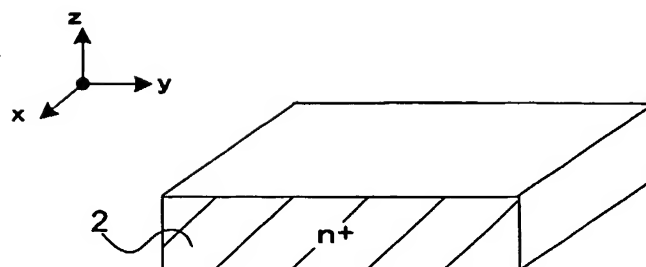


図2B

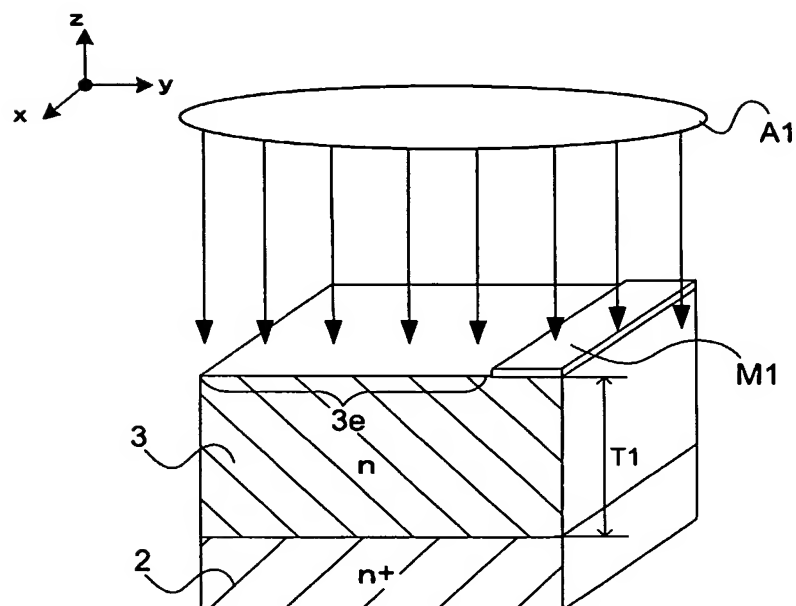


図2C

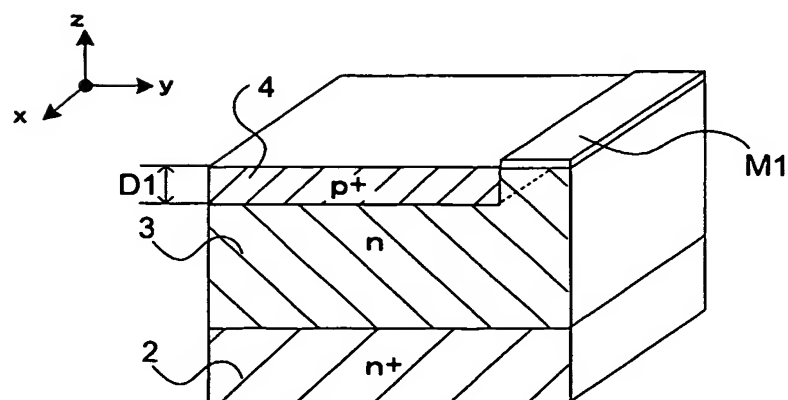


図3A

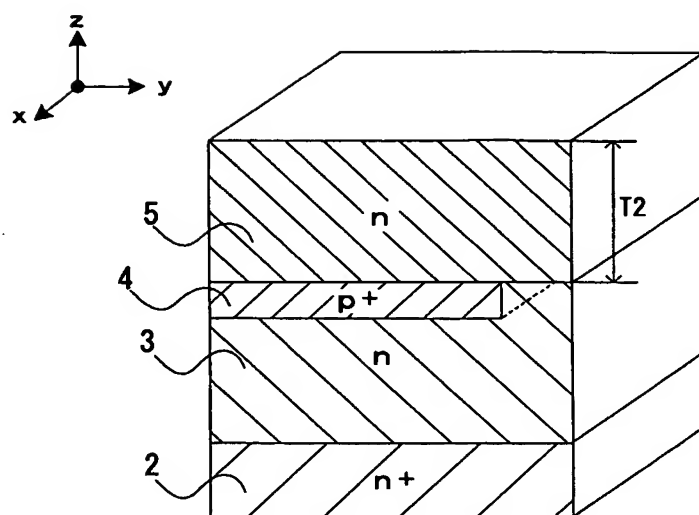


図3B

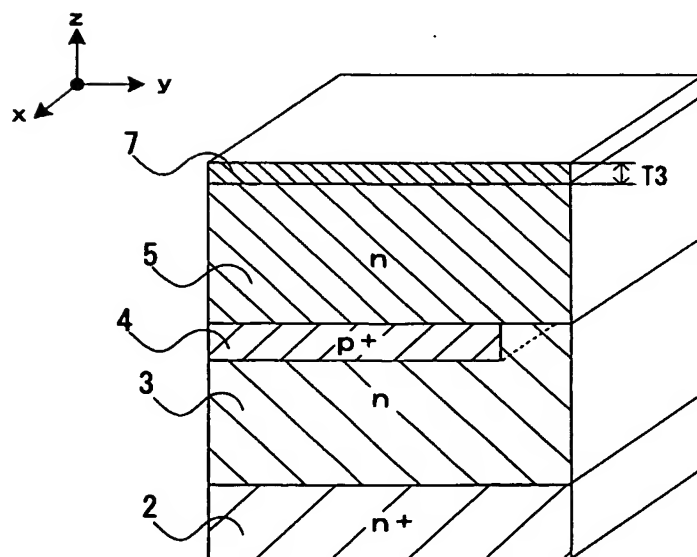


図4A

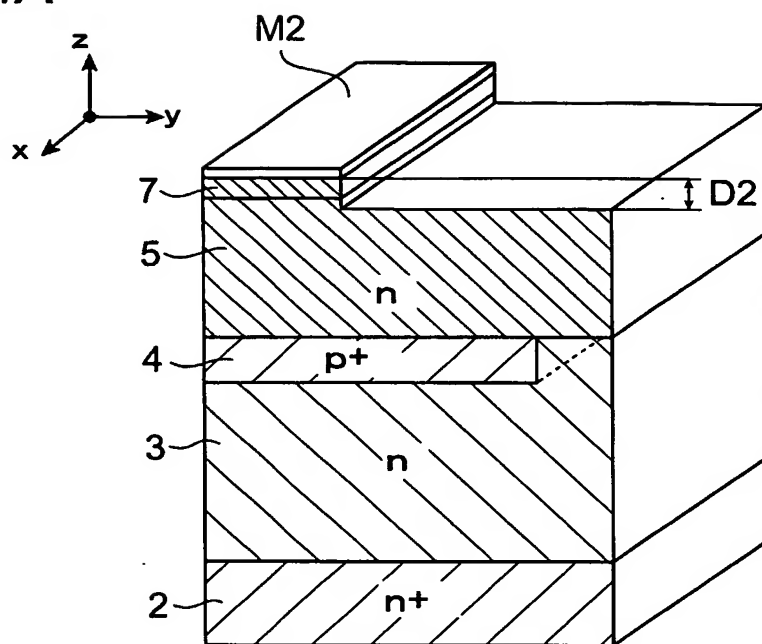


図4B

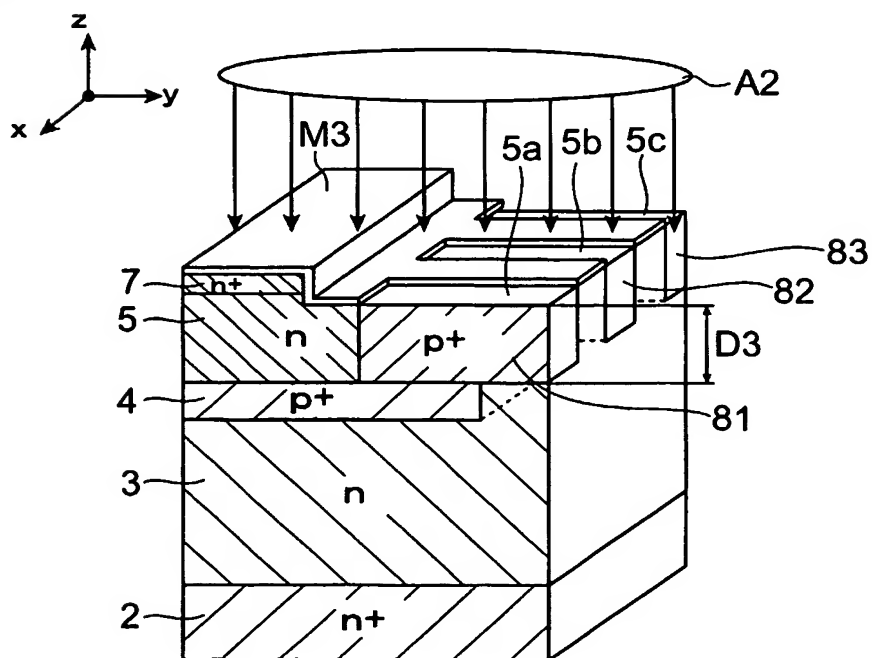


図5A

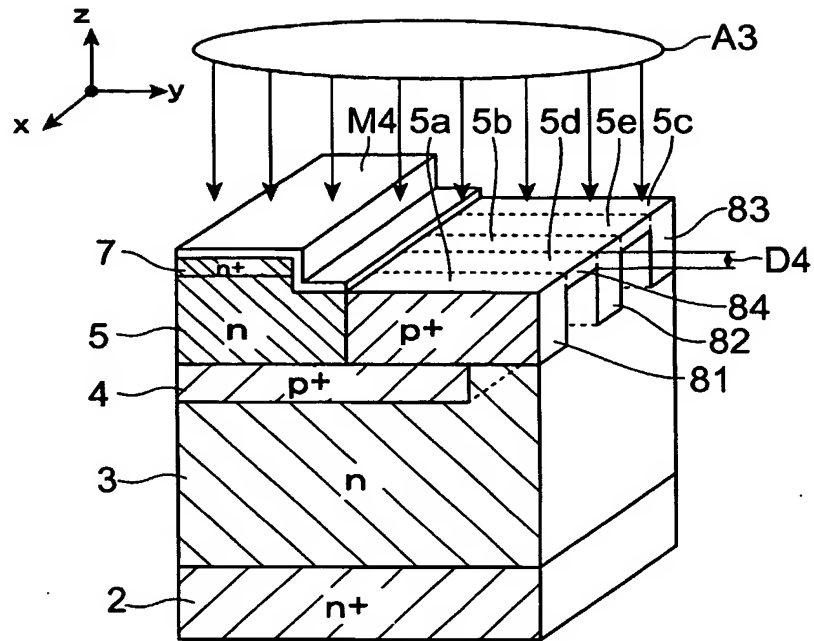


図5B

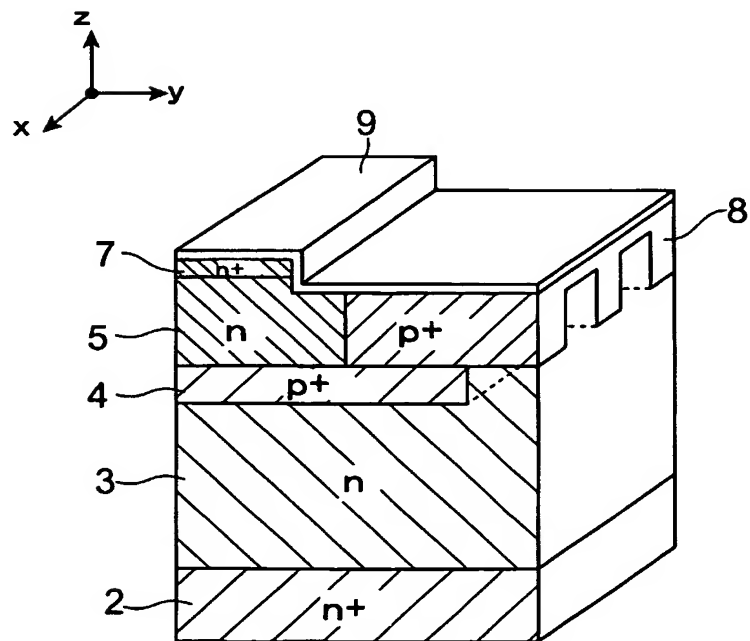


図6A

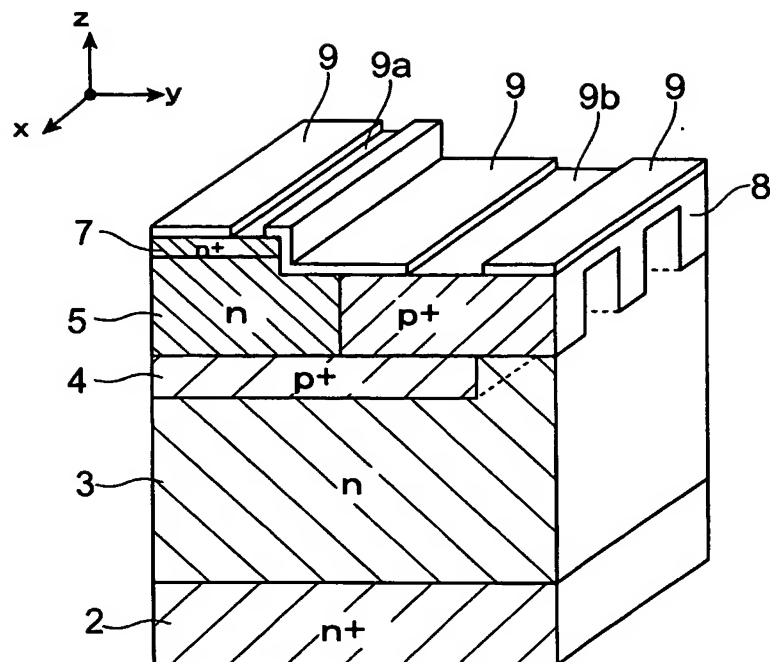


図6B

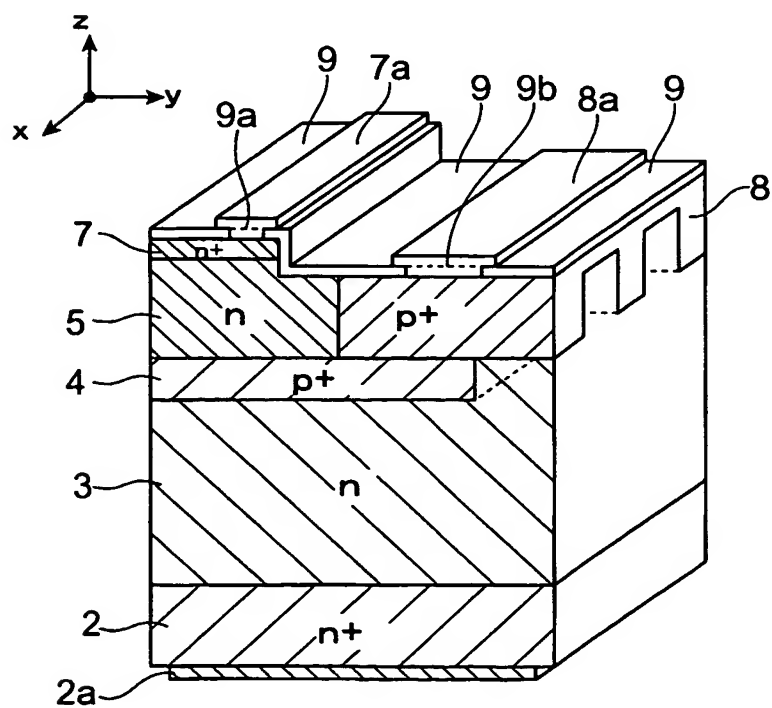


図7A

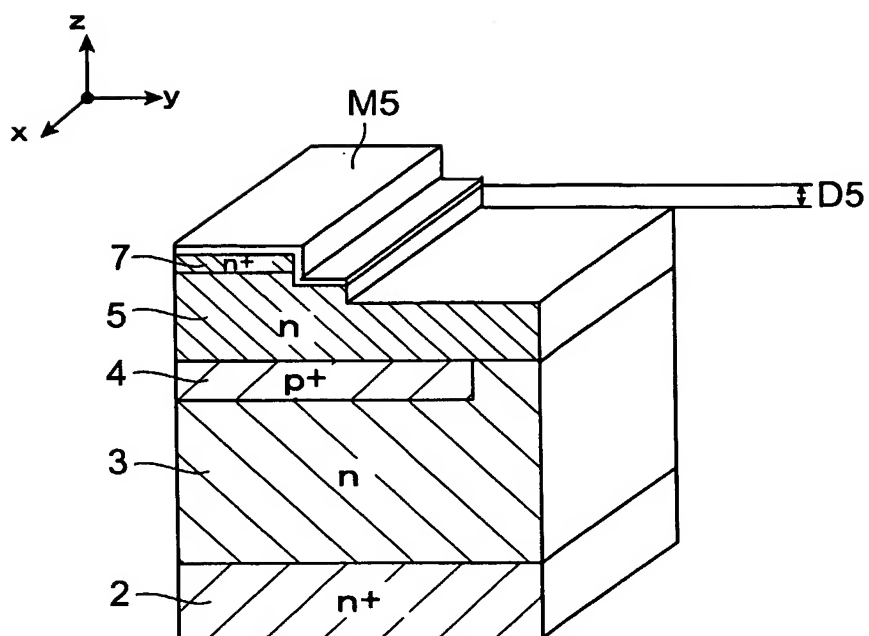


図7B

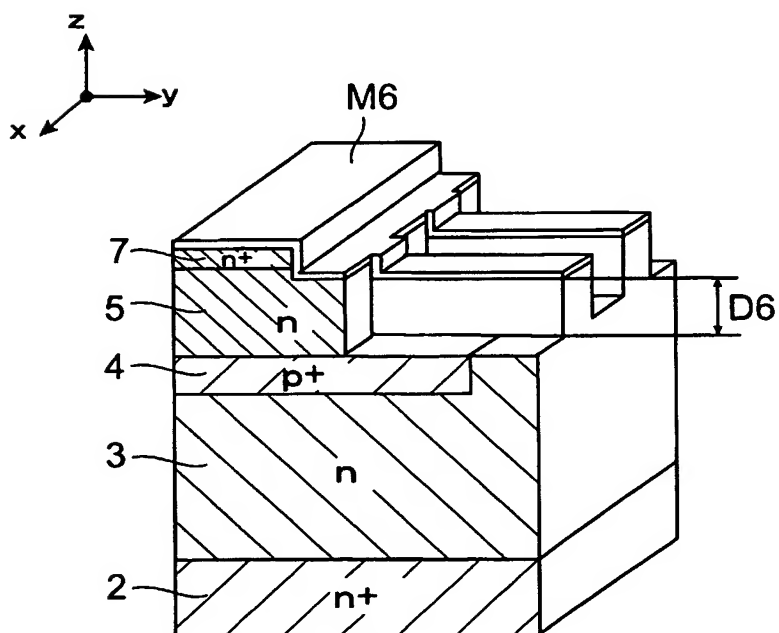


図8

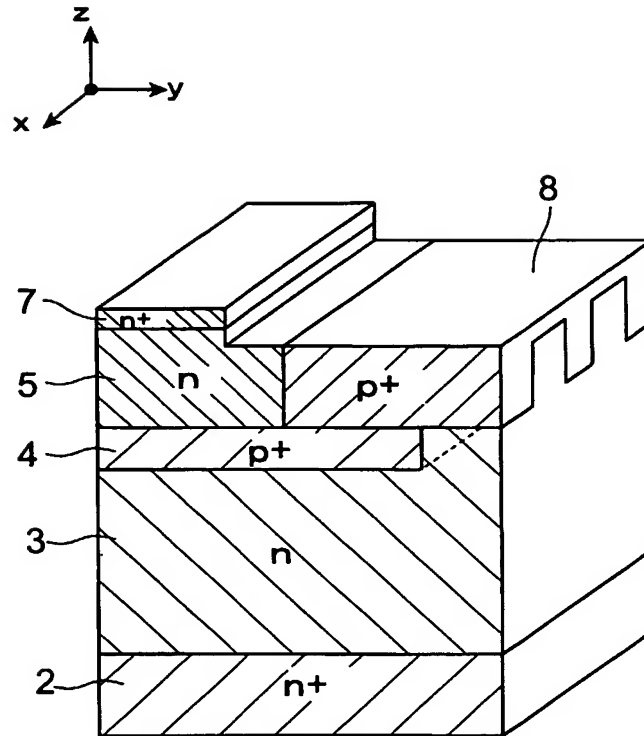


図9

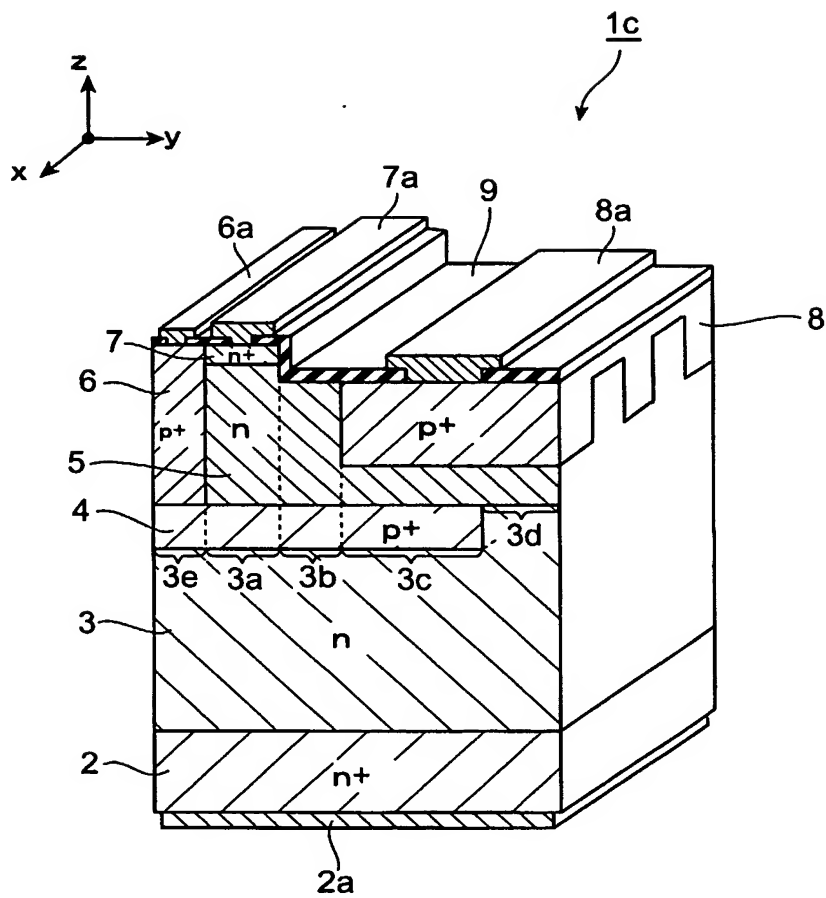


図 10

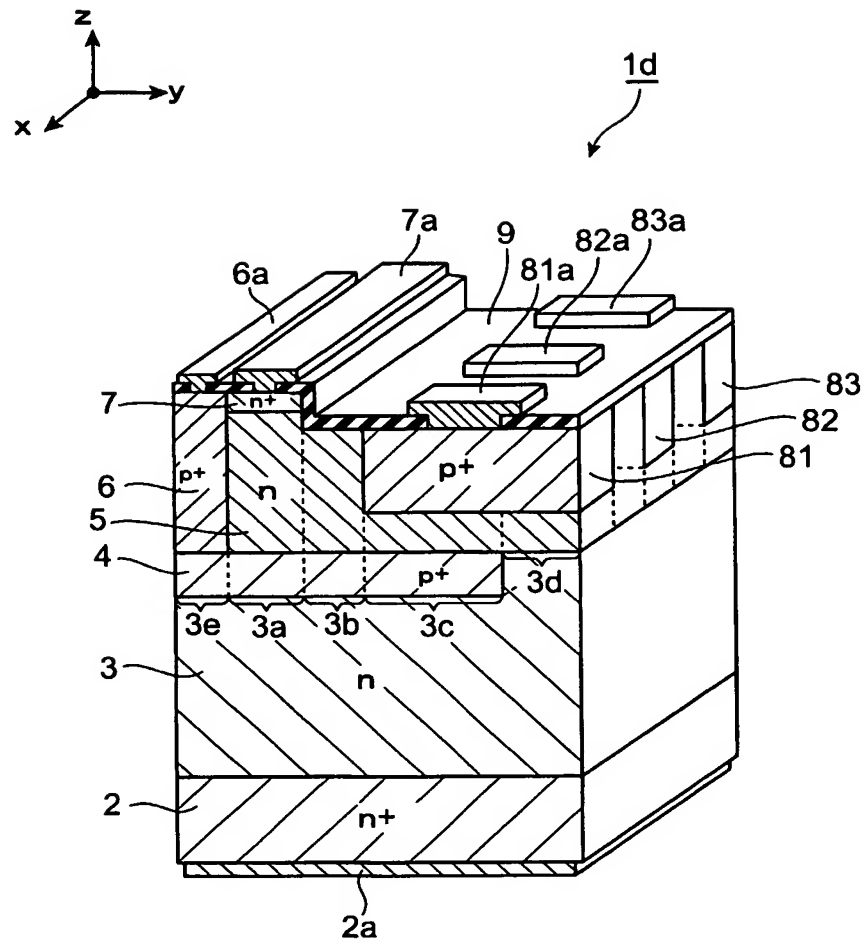


図11A

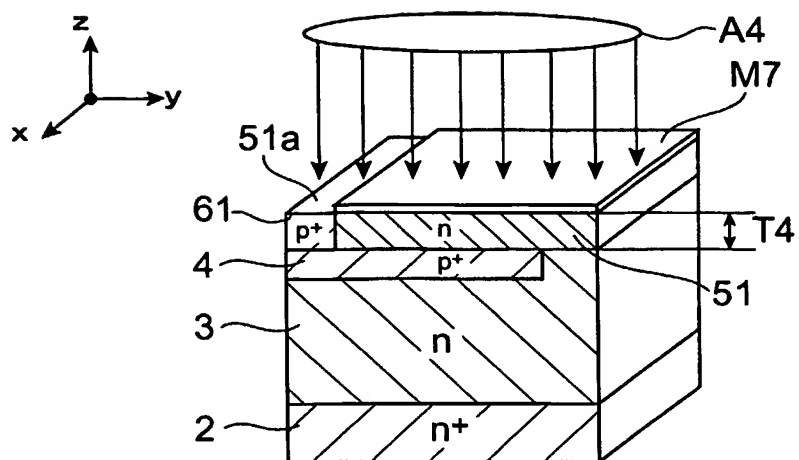


図11B

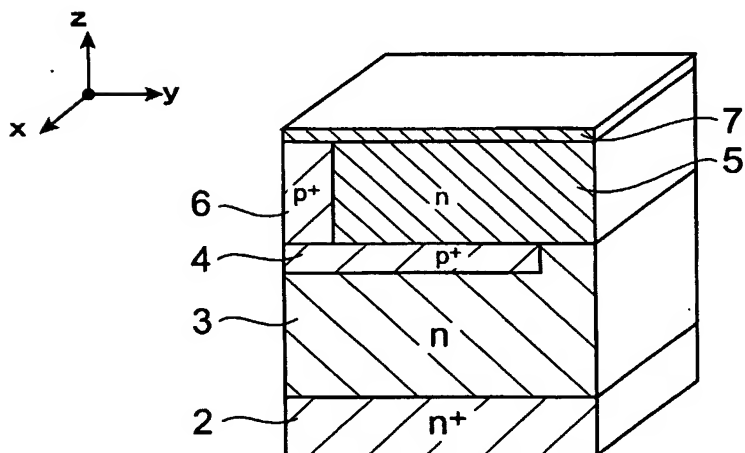


図11C

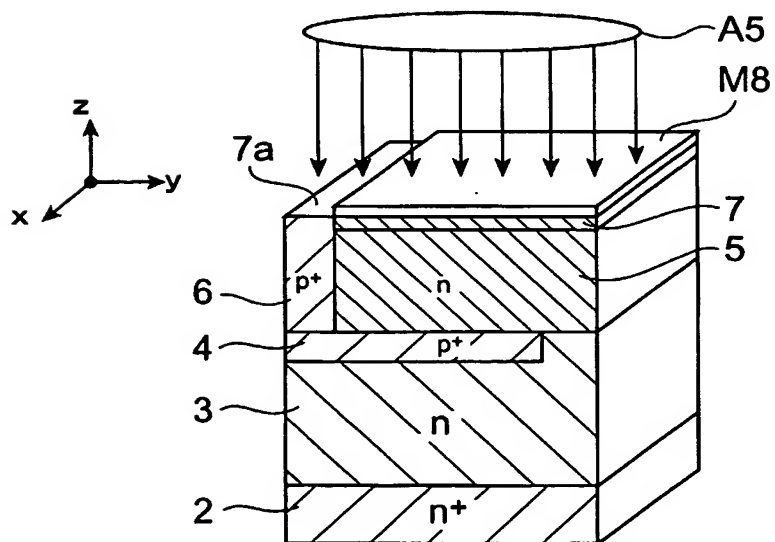


図12

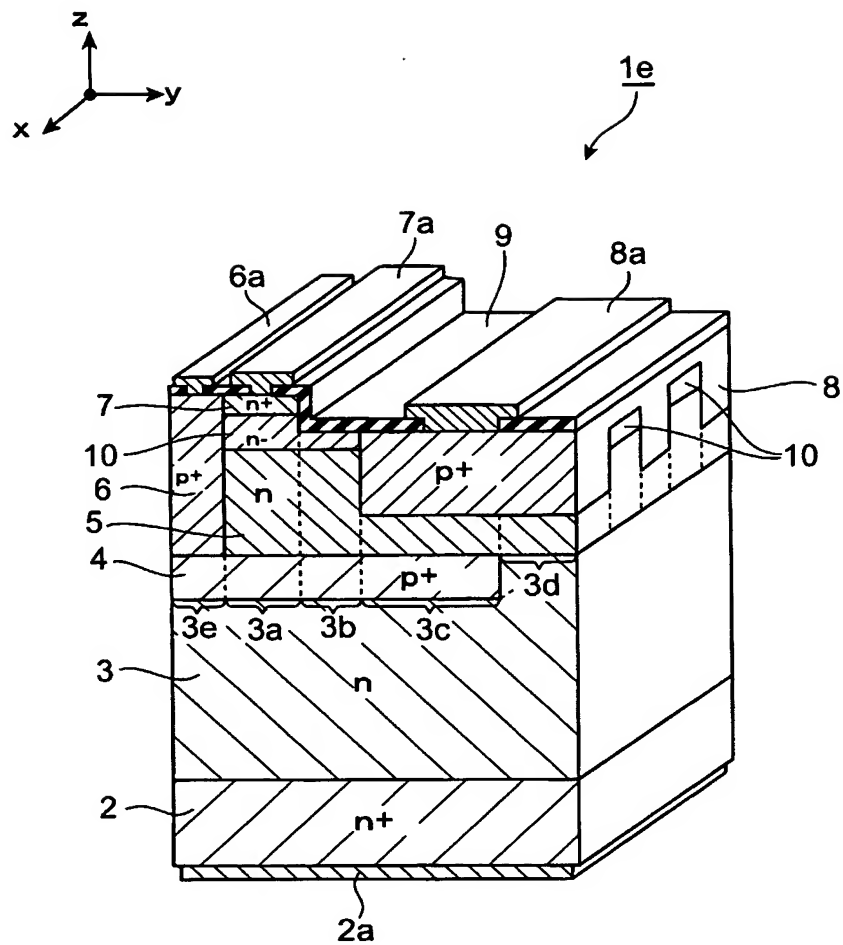


図14A

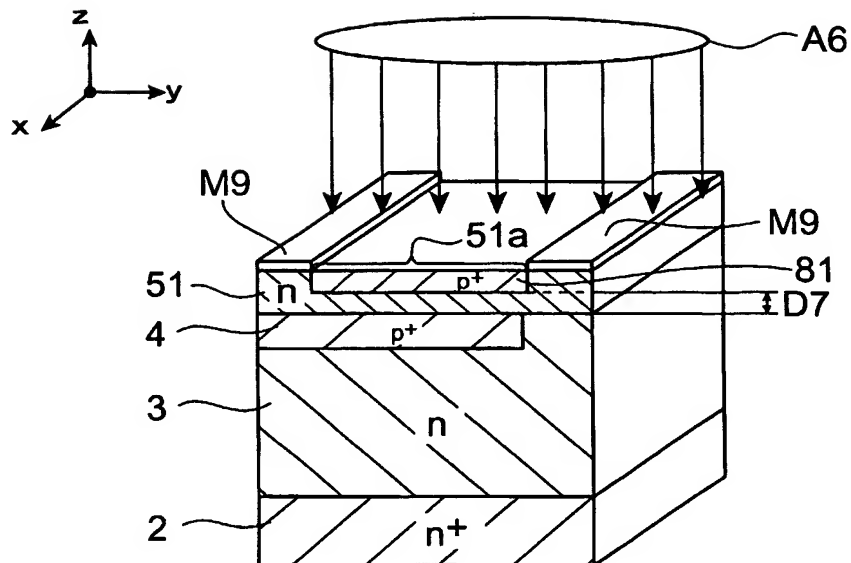


図14B

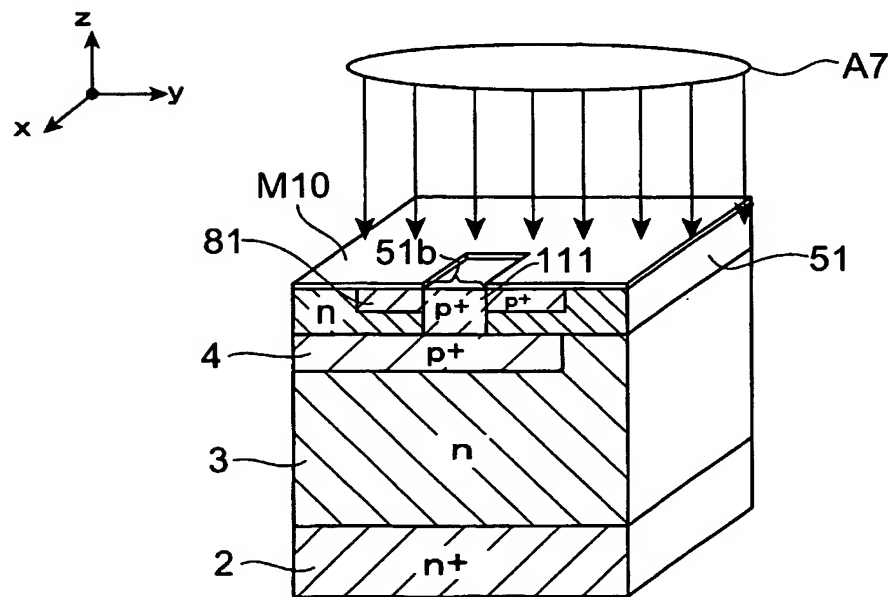


図15A

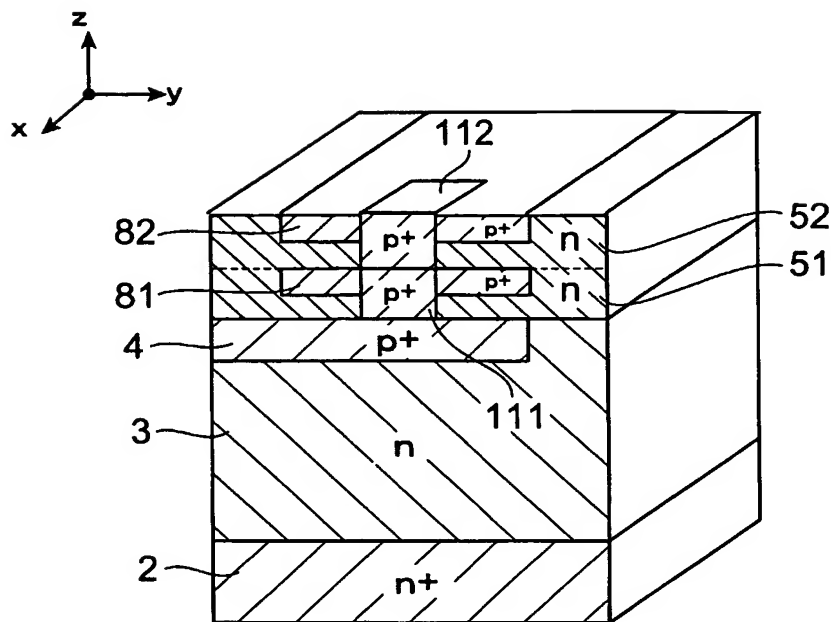


図15B

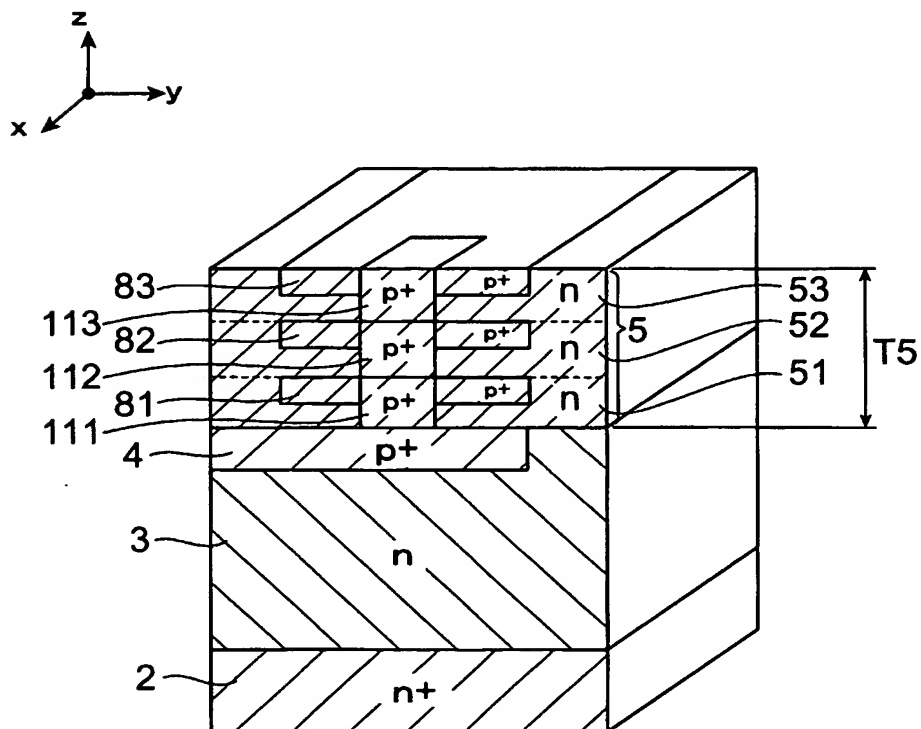


図16A

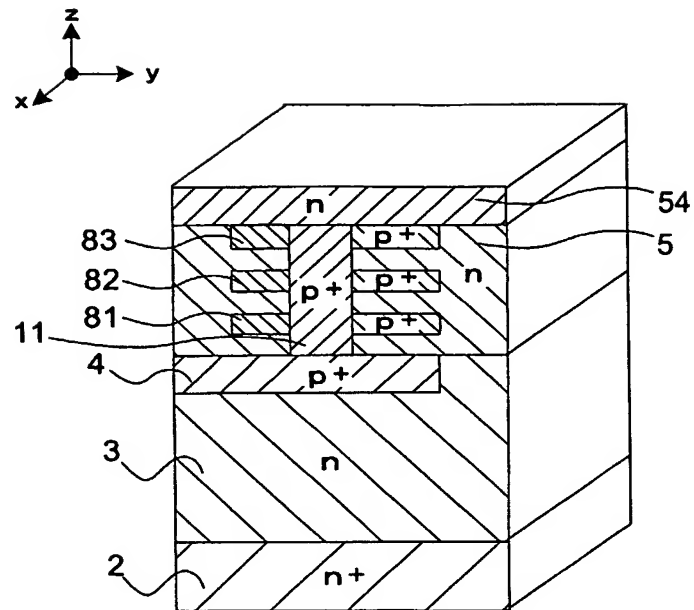


図16B

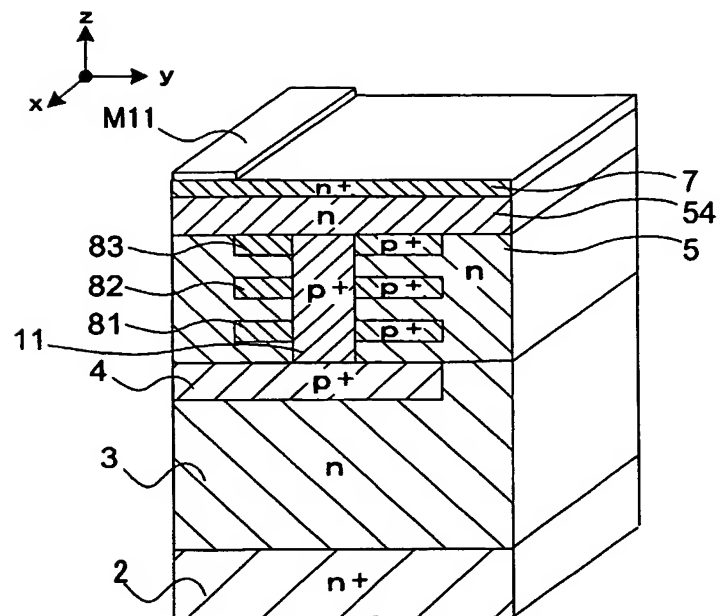


図17A

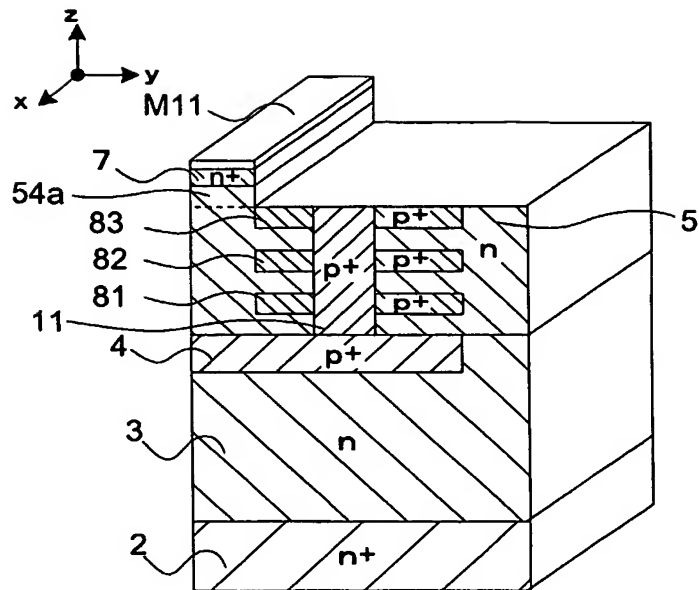


図17B

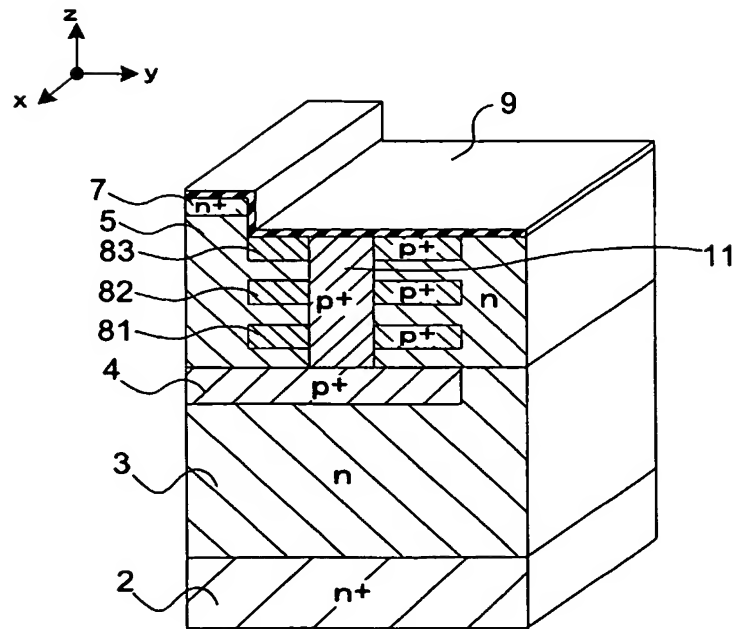


図18A

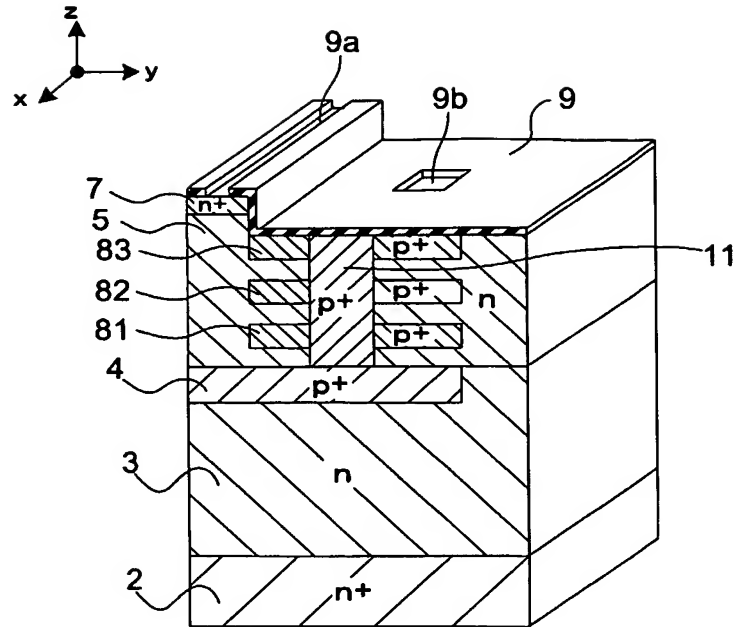


図18B

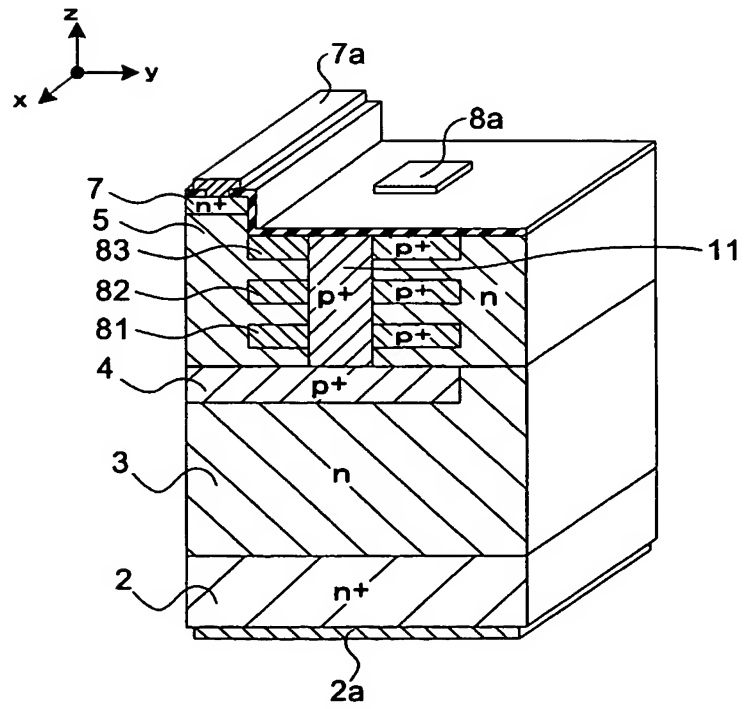


図19A

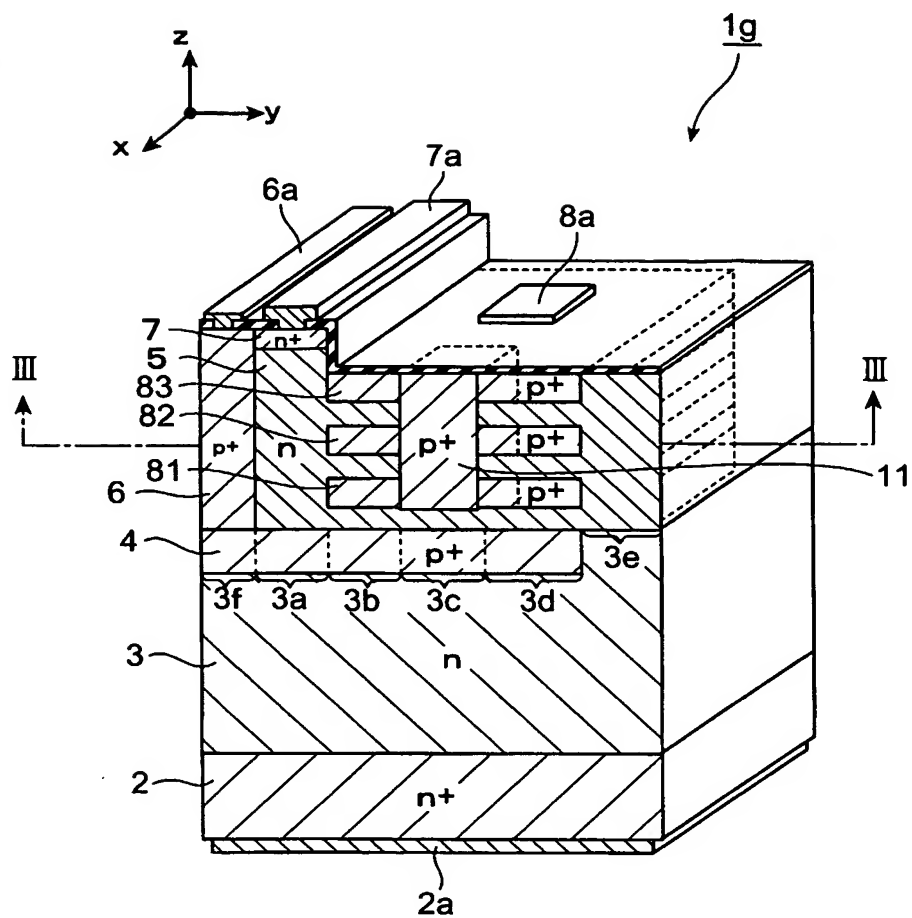


図19B

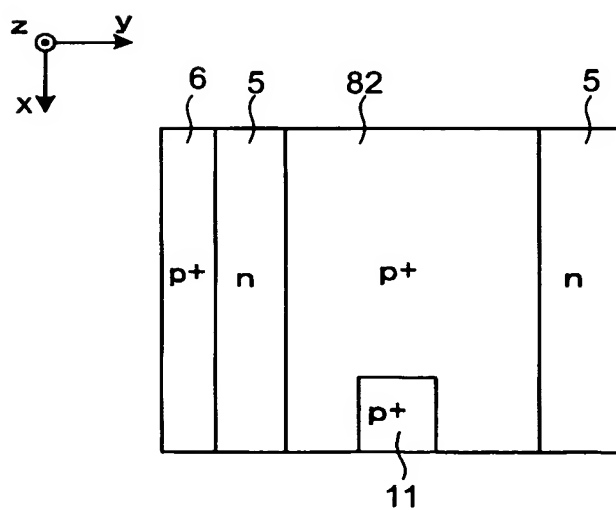


図20A

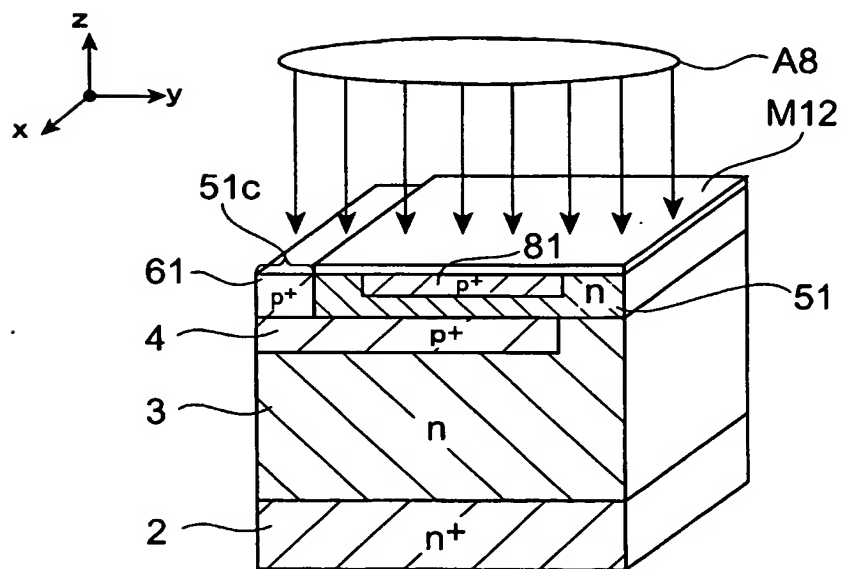


図20B

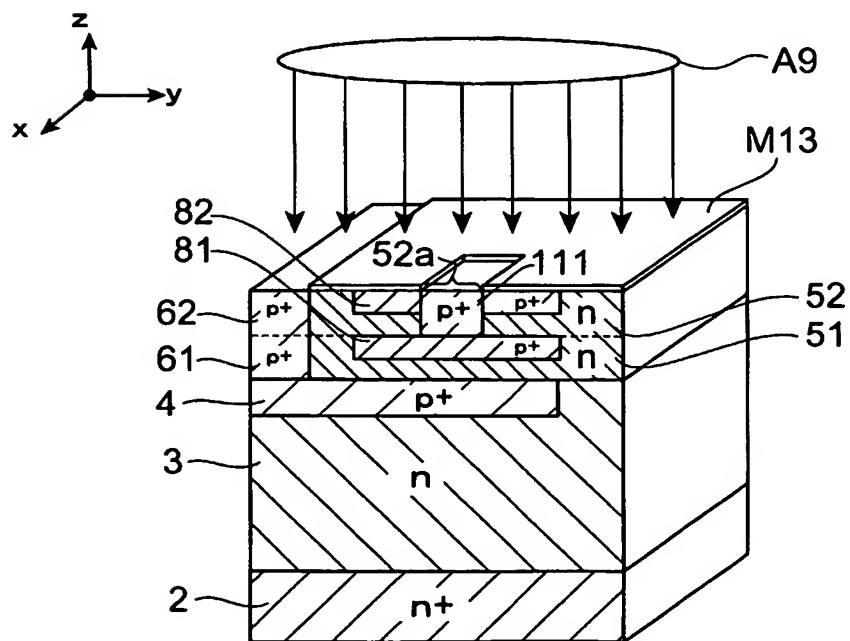


図22A

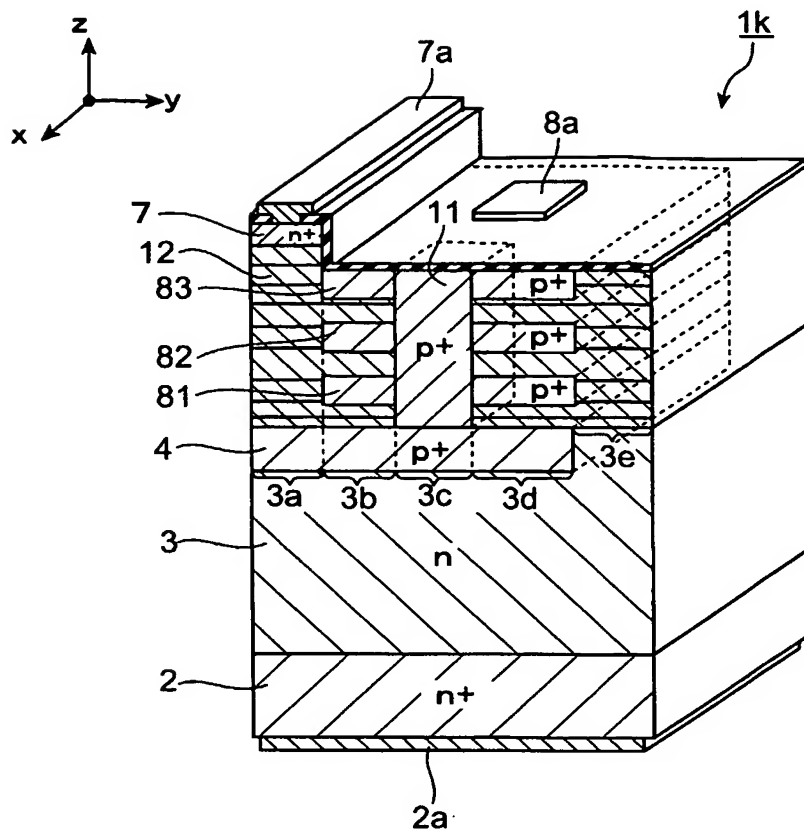


図22B

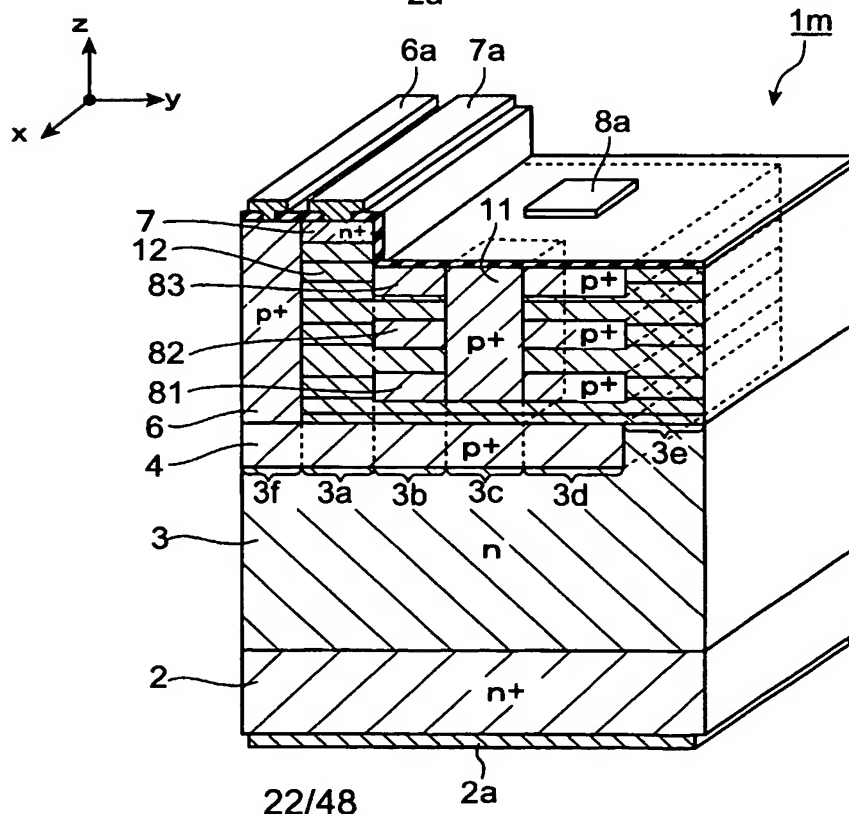


図23

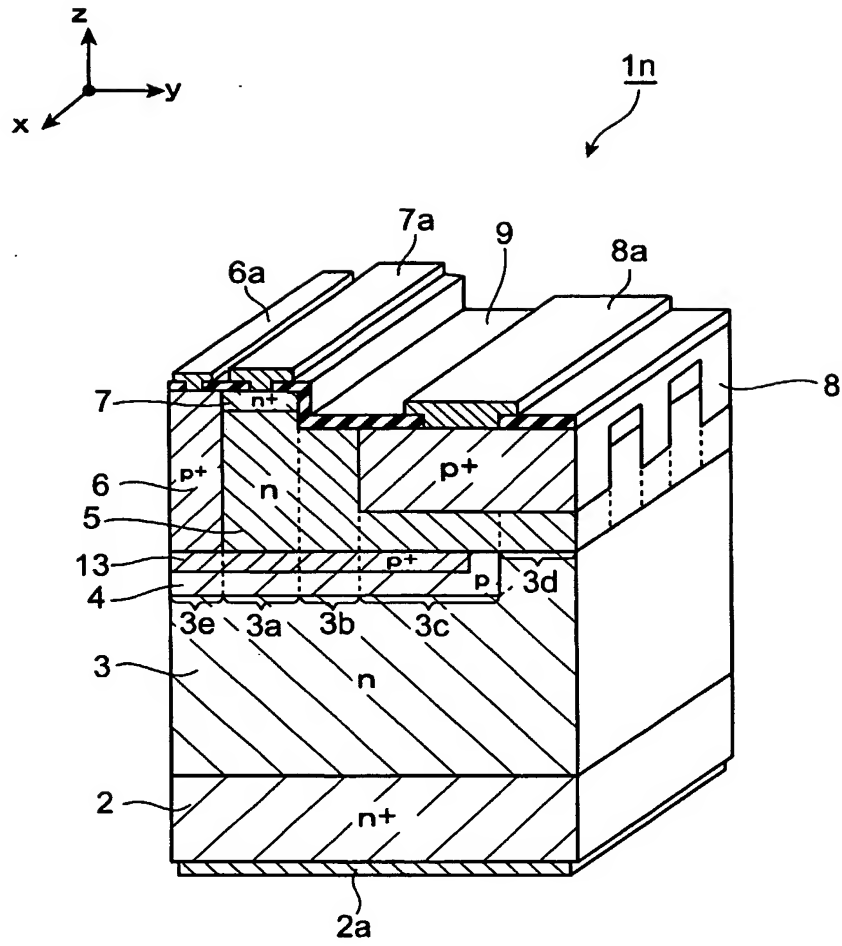


図24A

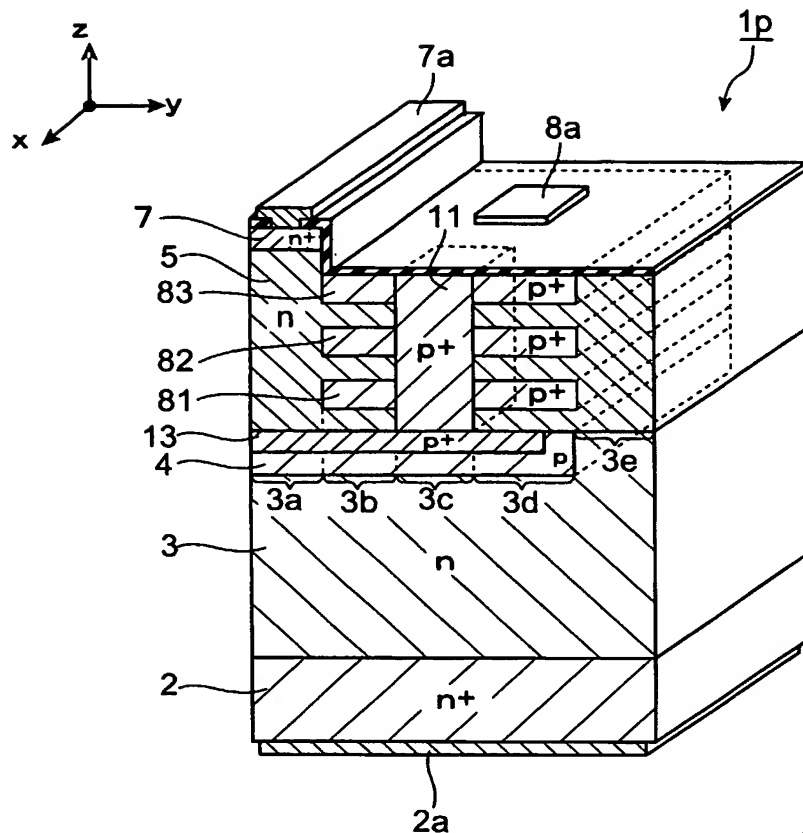


図24B

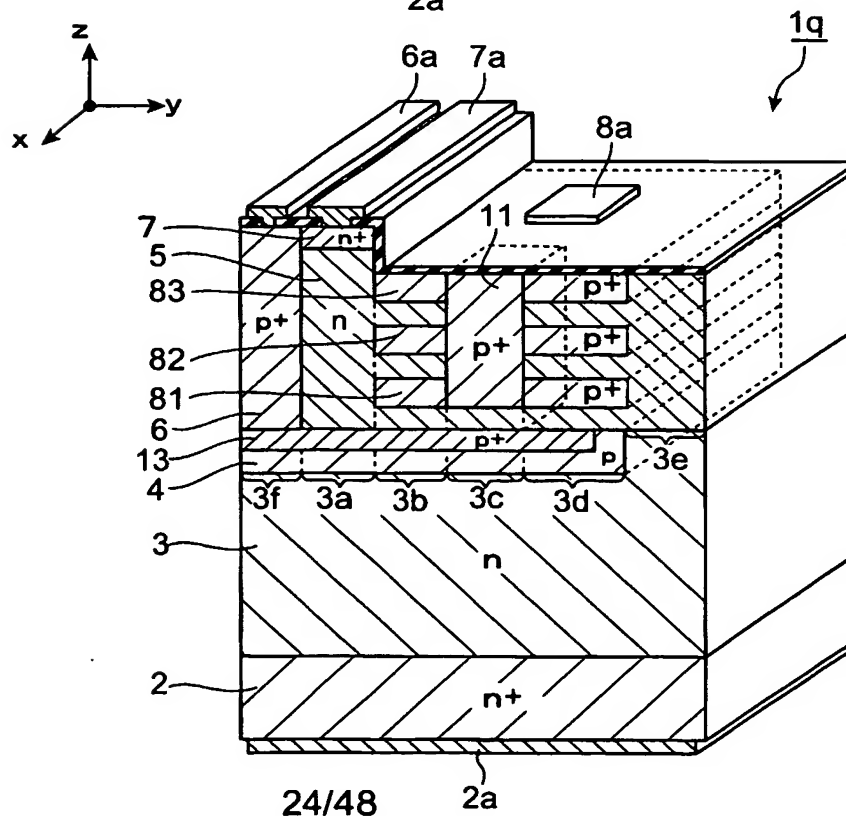
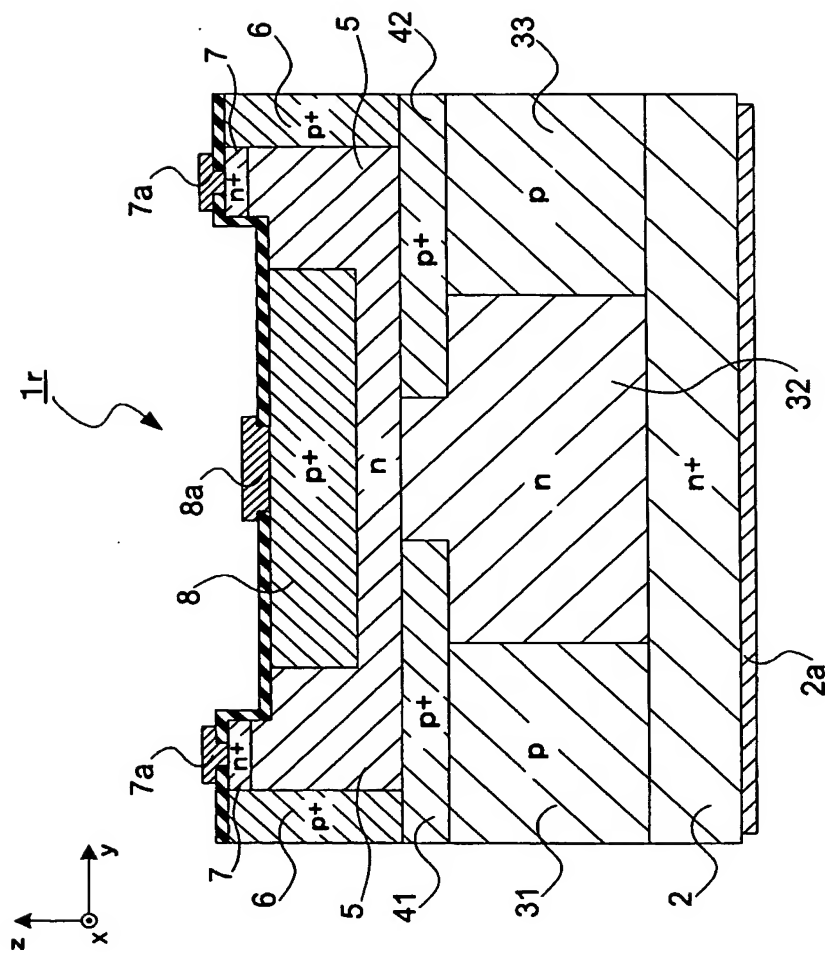


図25



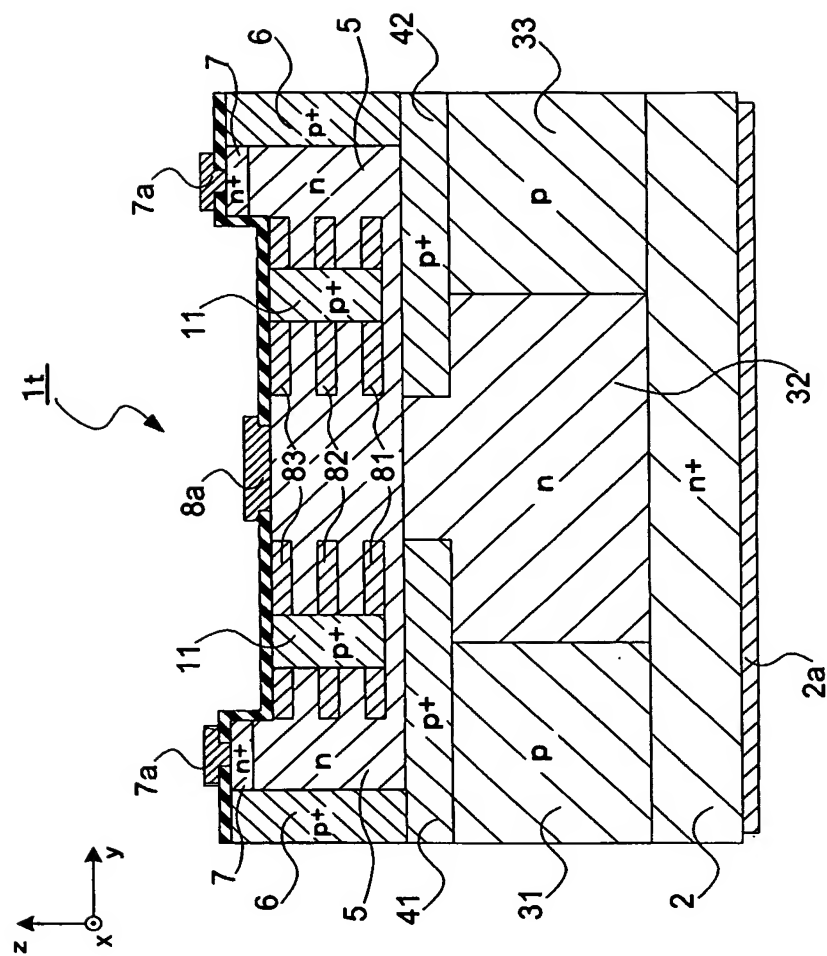


图 27

図28A

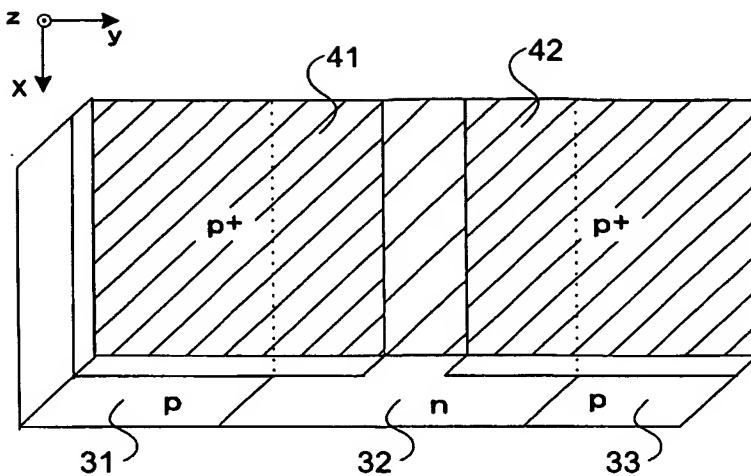


図28B

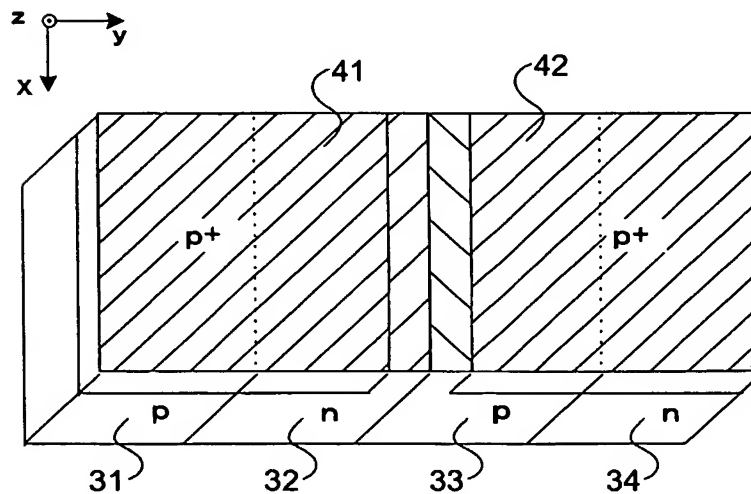


図28C

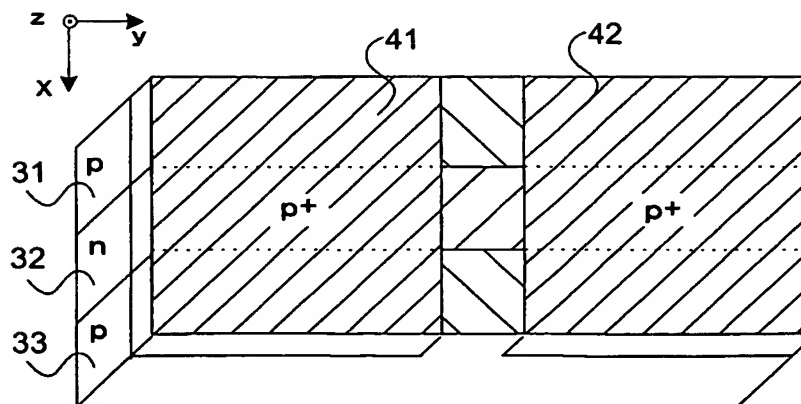


図30

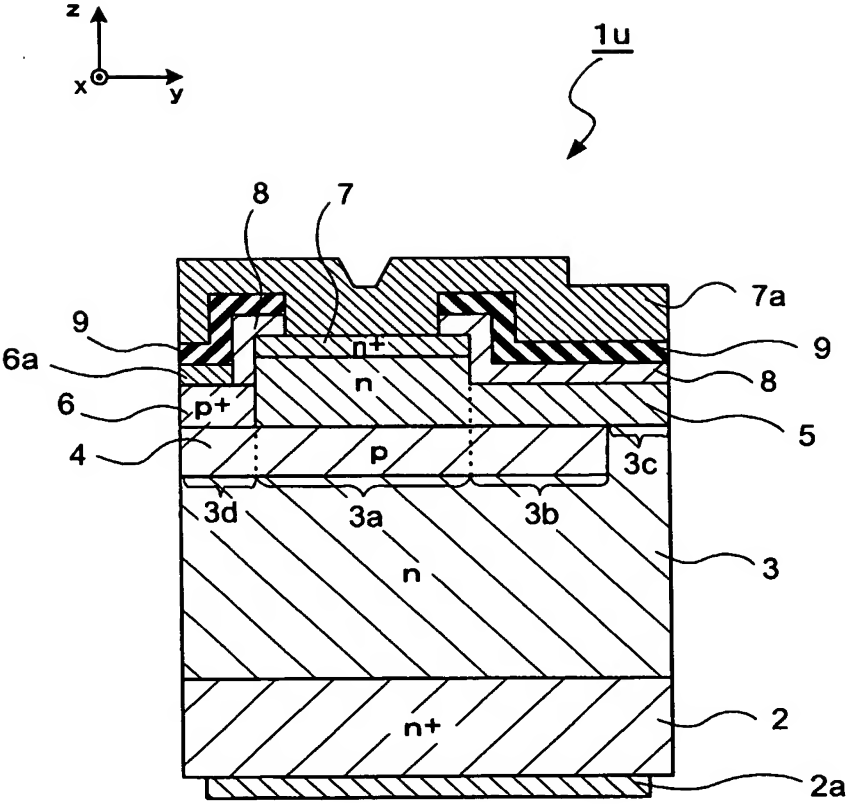


図31A

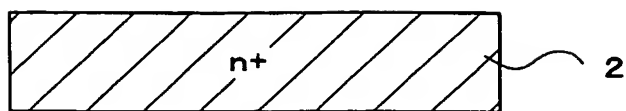


図31B

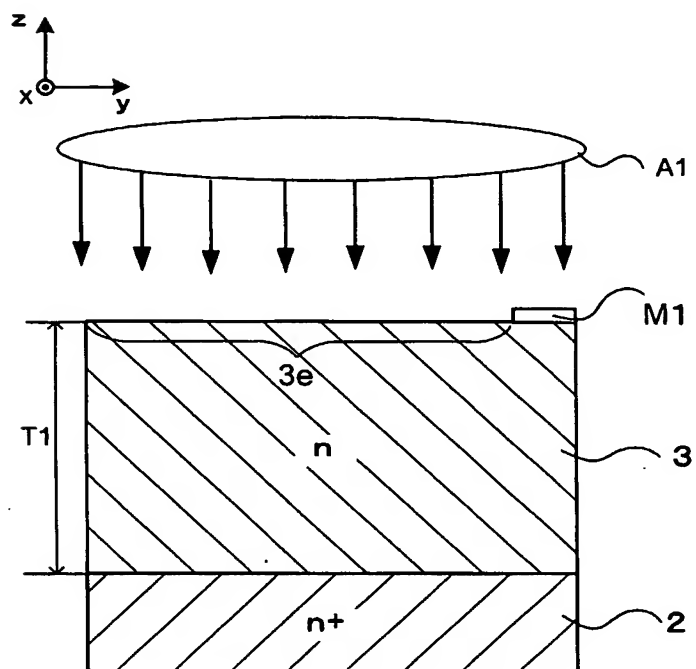


図31C

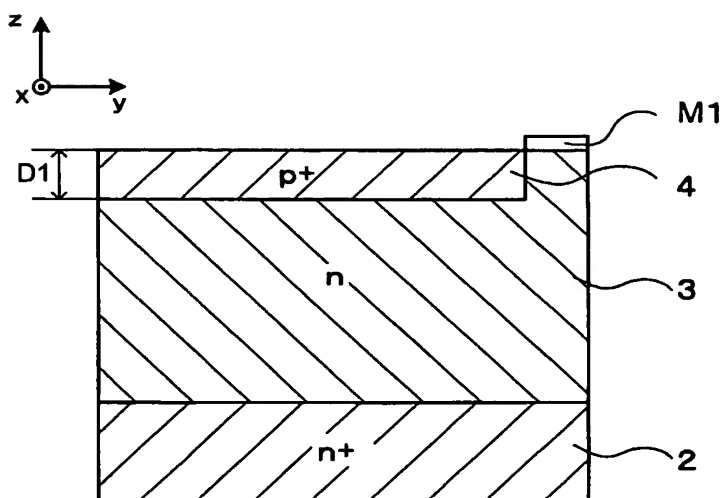


図32A

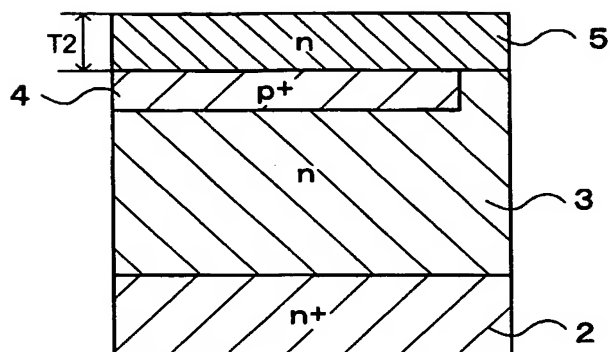


図32B

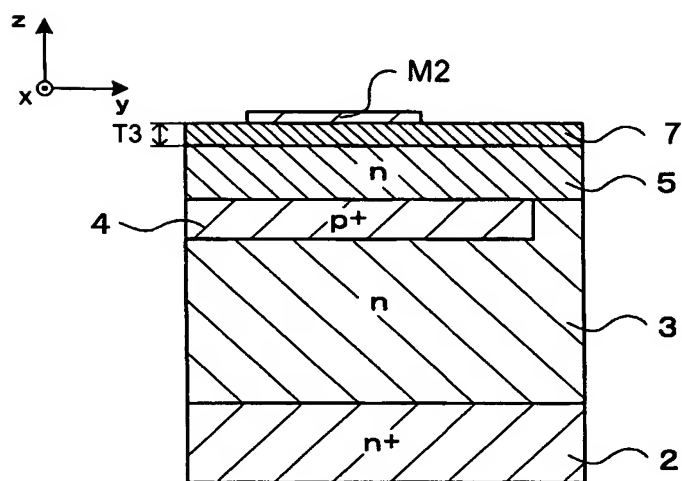


図32C

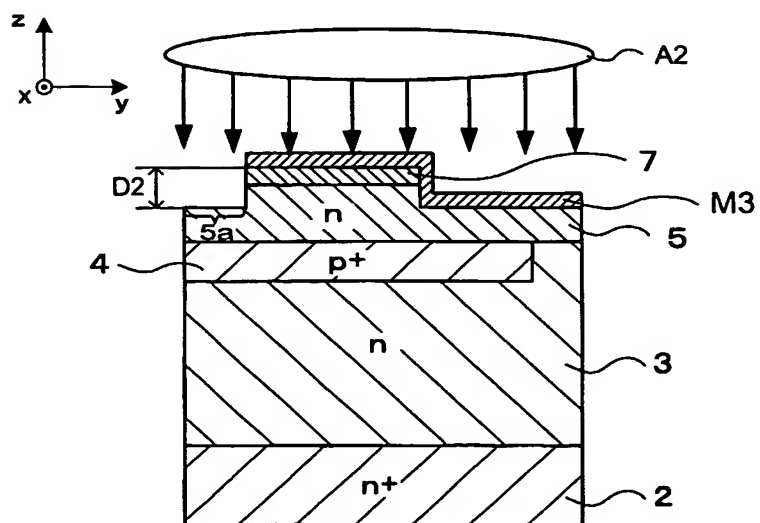


図33A

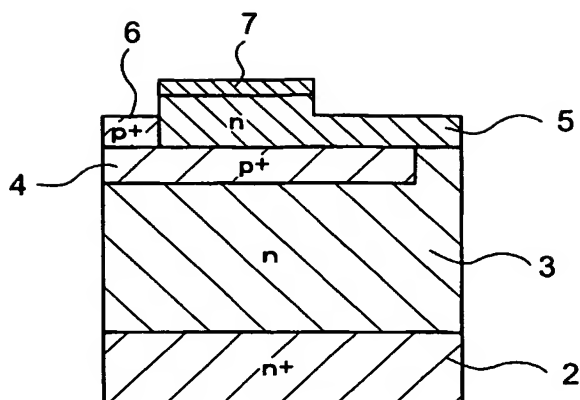


図33B

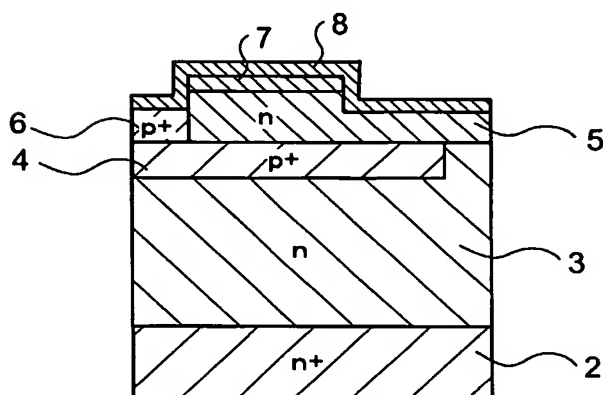


図33C

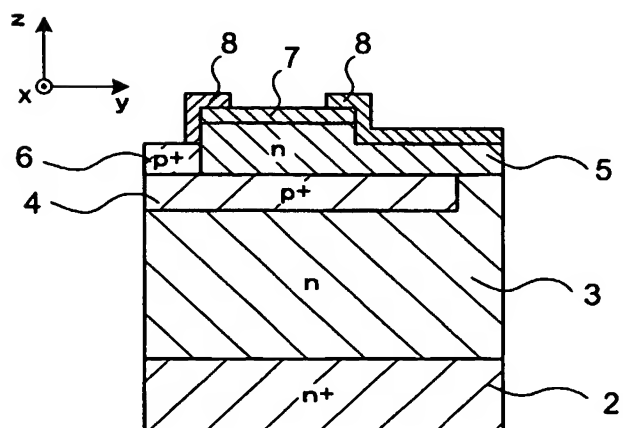


図34A

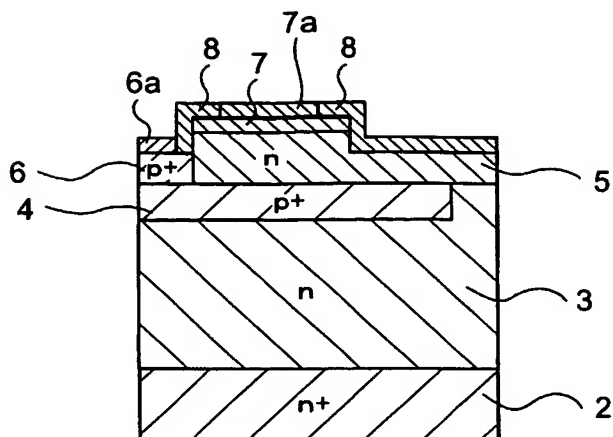


図34B

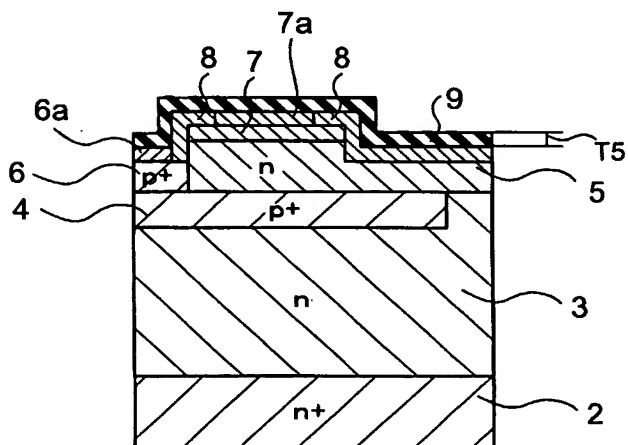


図34C

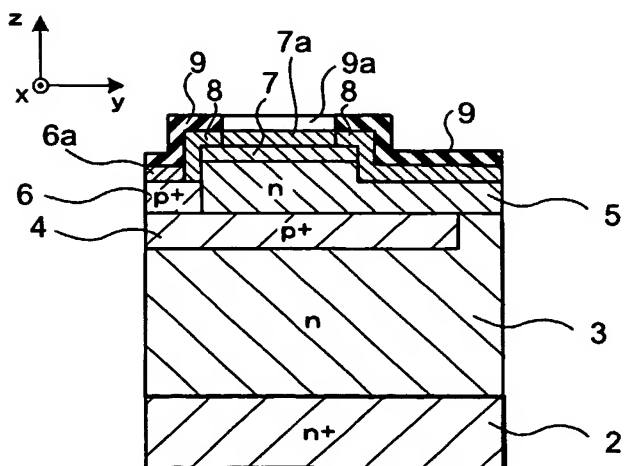


図35

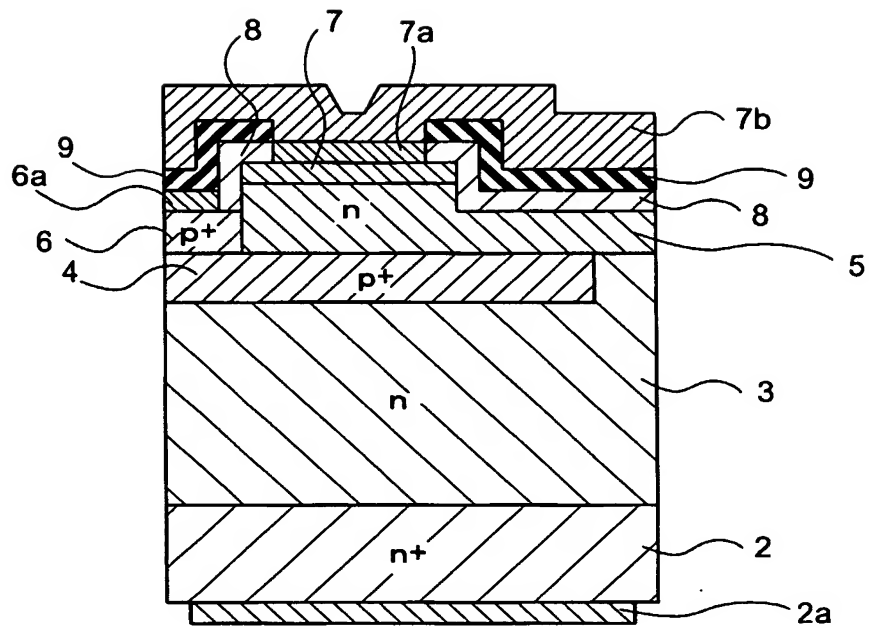


図36

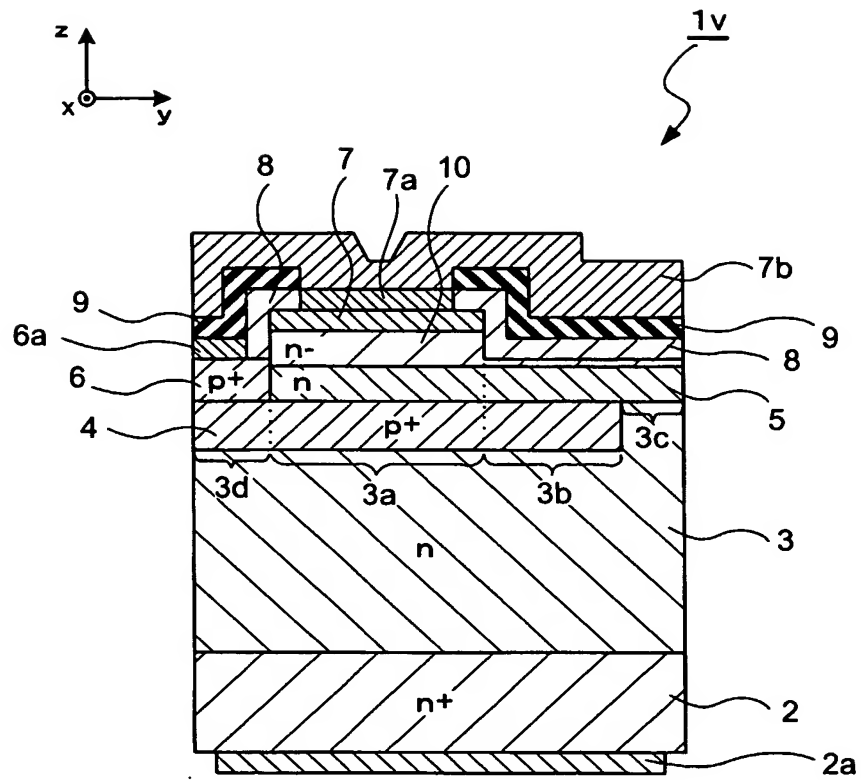


図37A

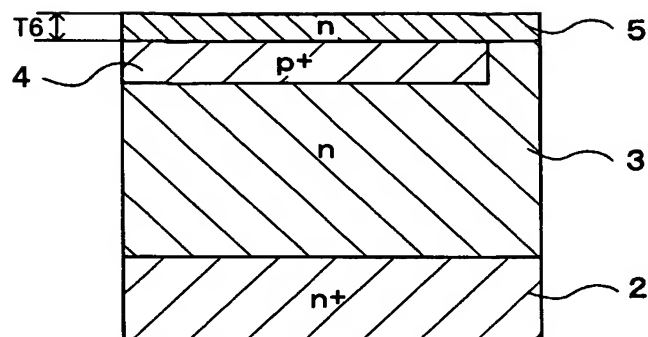


図37B

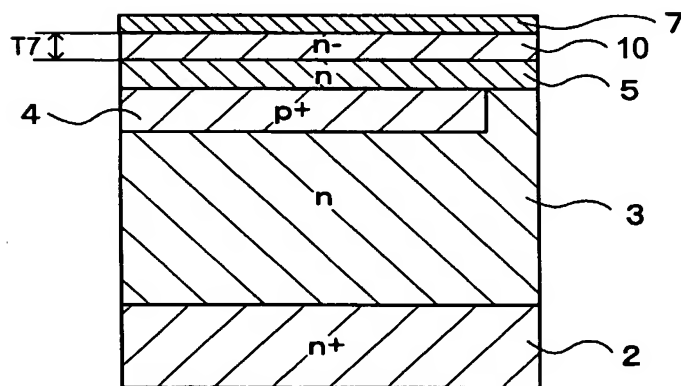


図37C

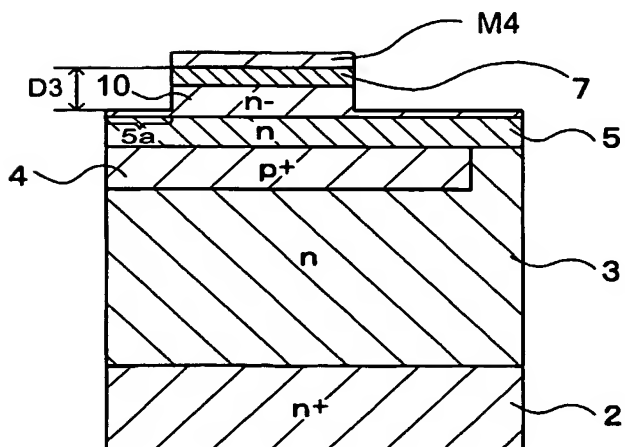


图39

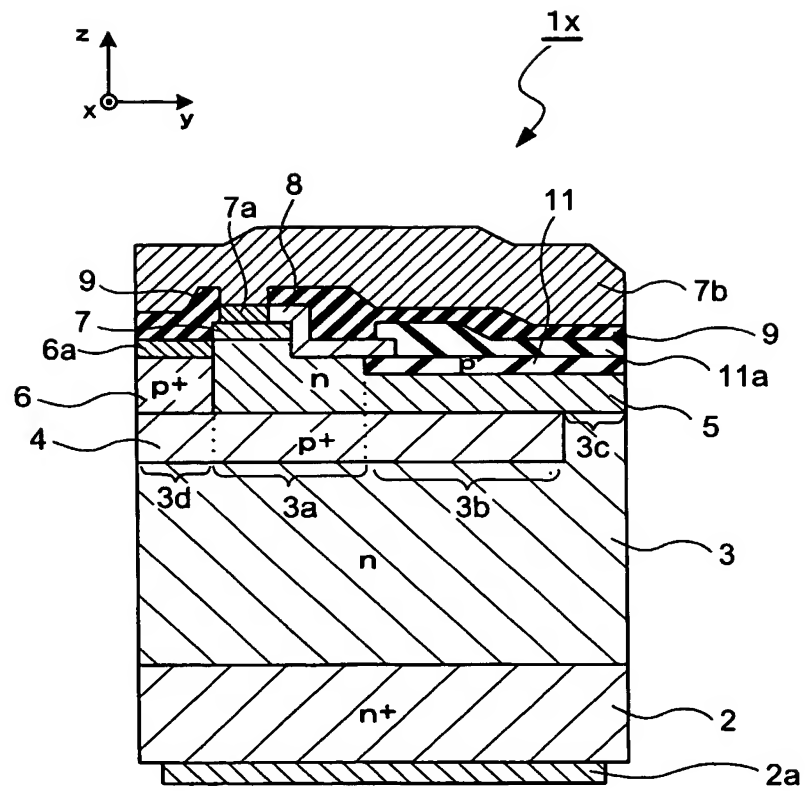


図40A

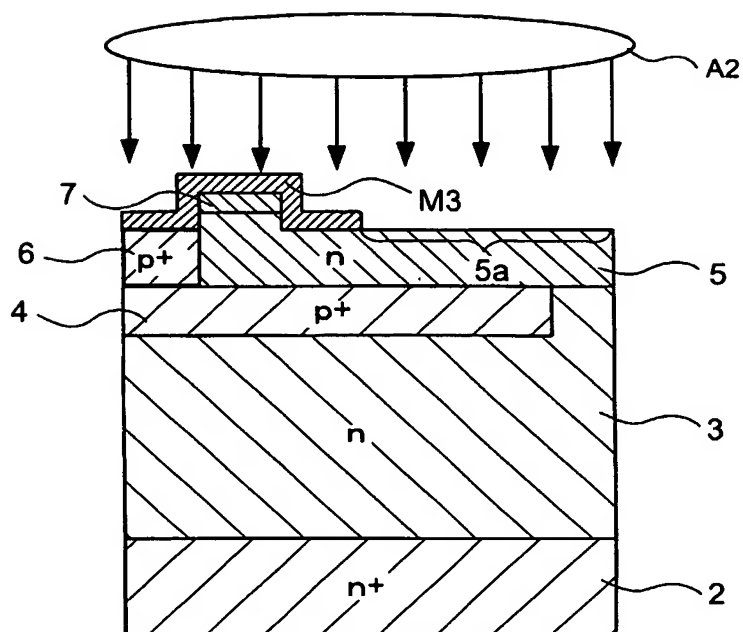


図40B

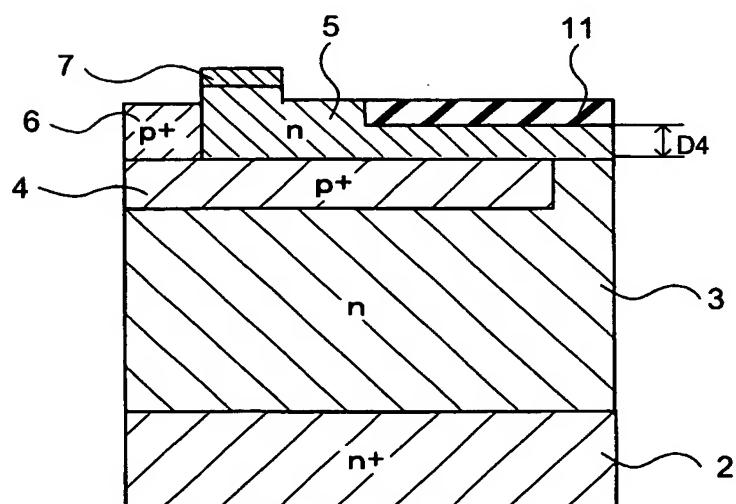


図41

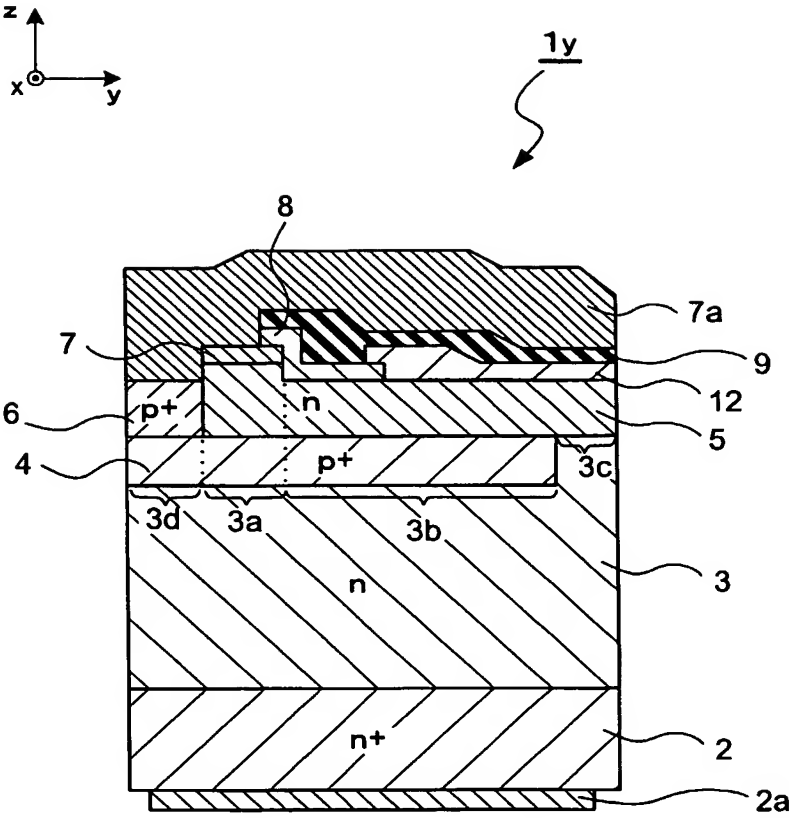


図42A

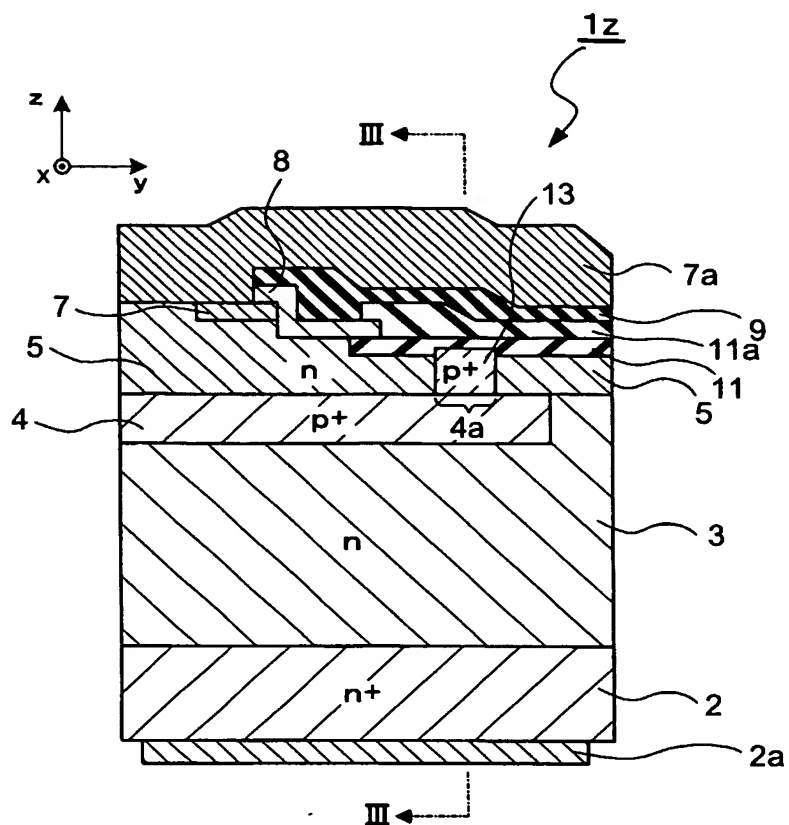


図42B

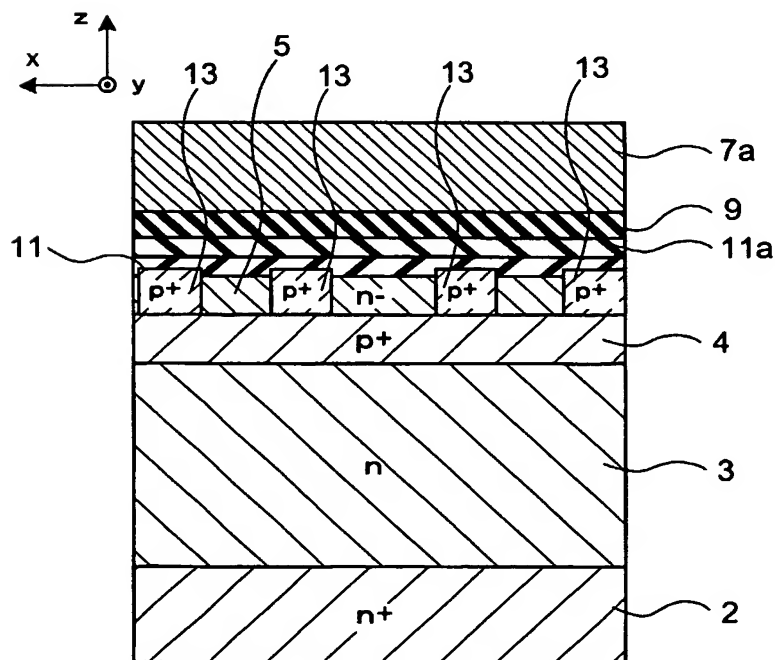


図43A

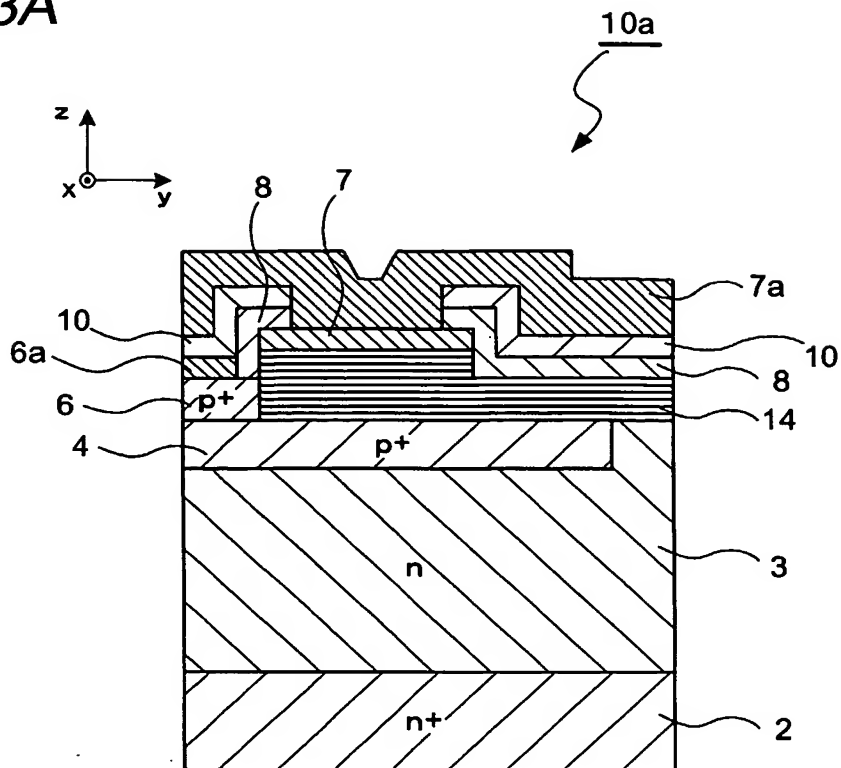


図43B

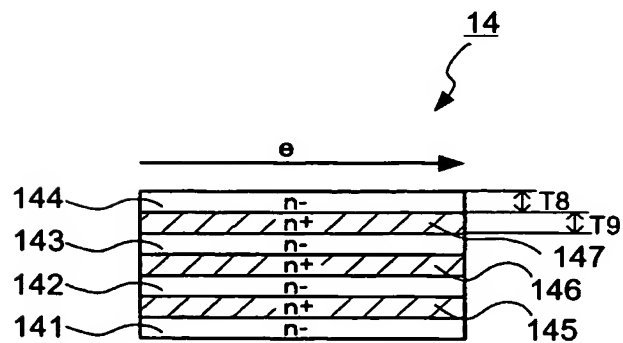
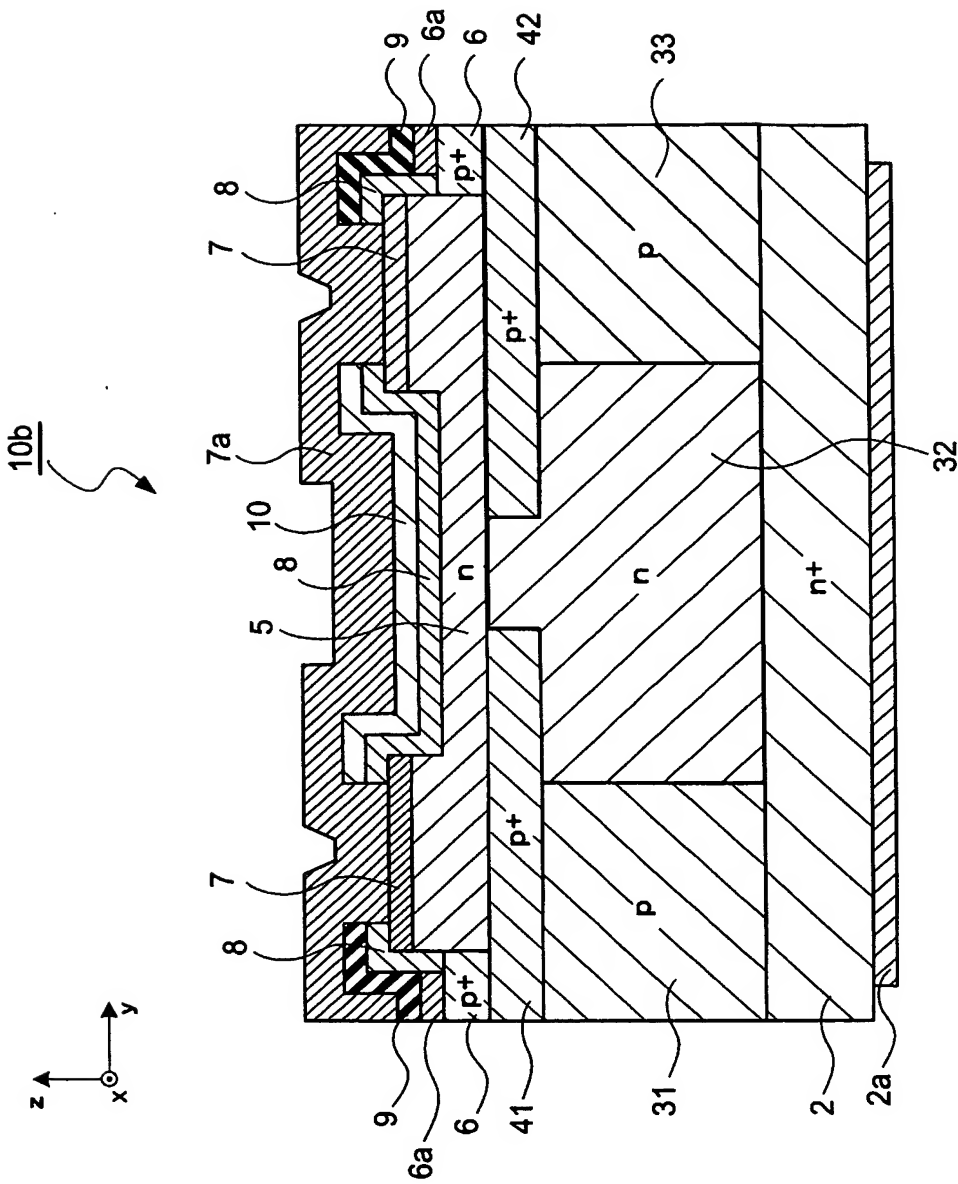
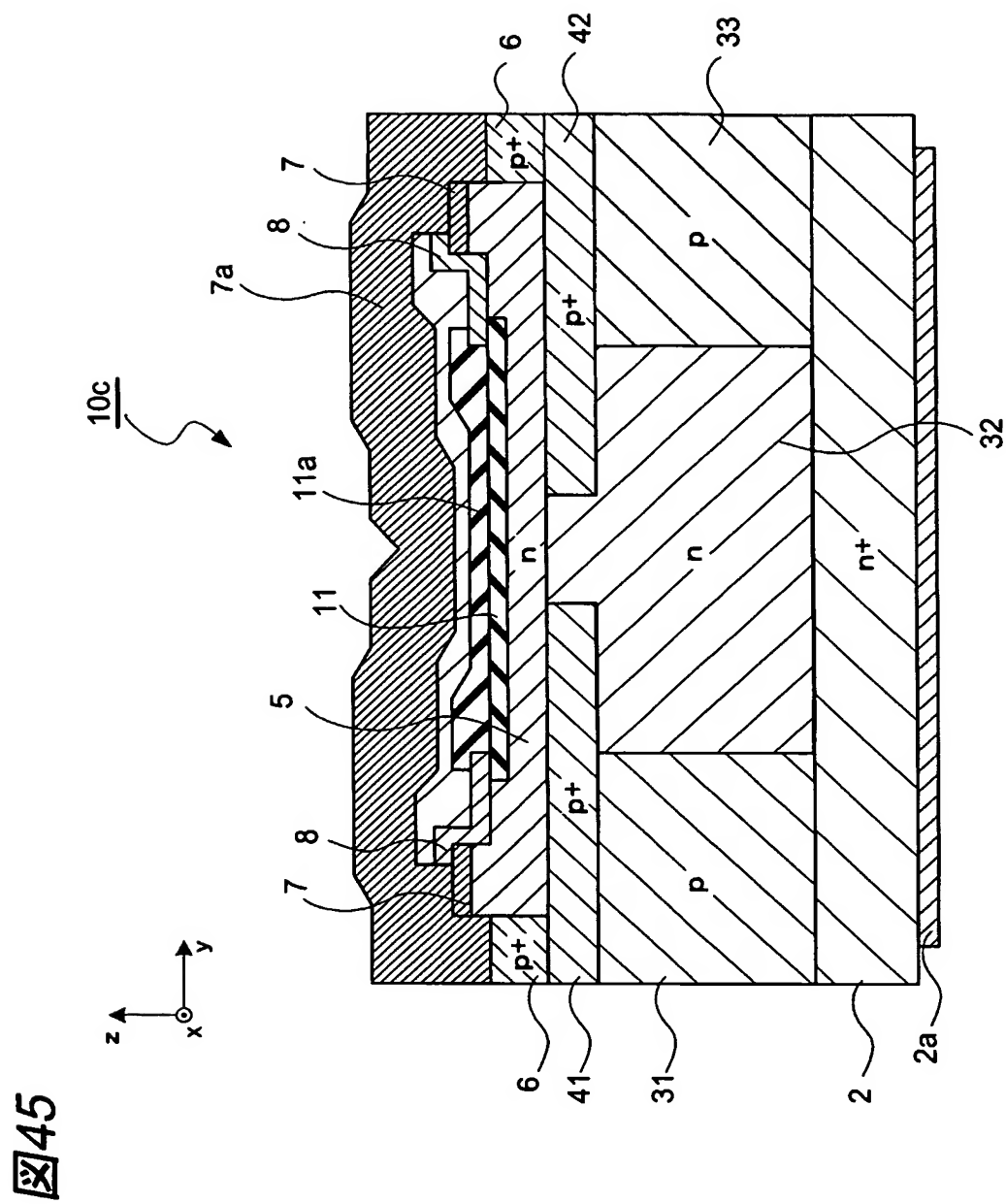


図44





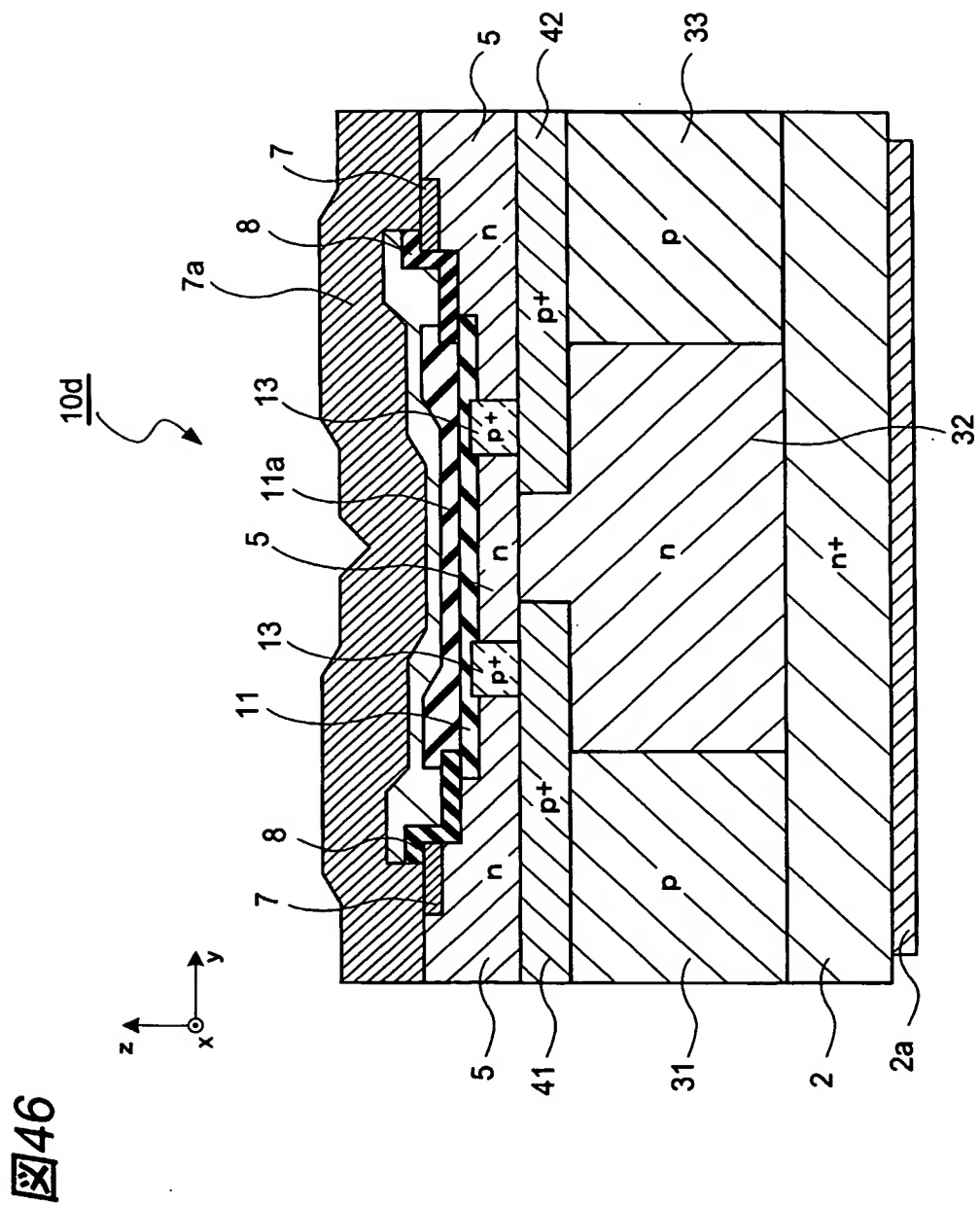


図47A

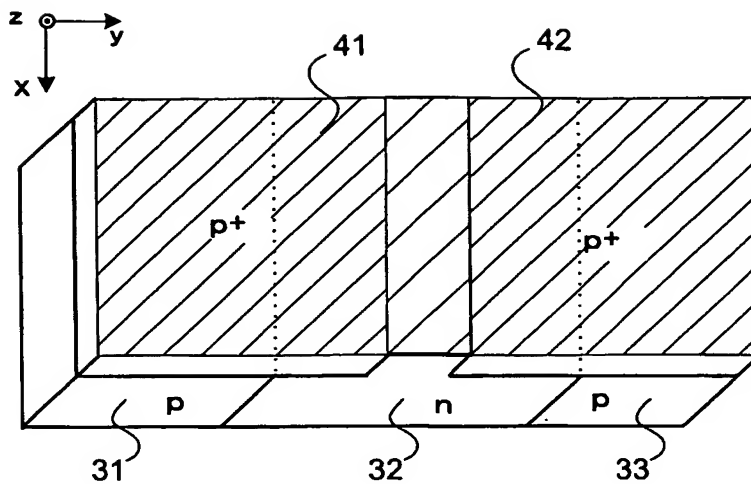


図47B

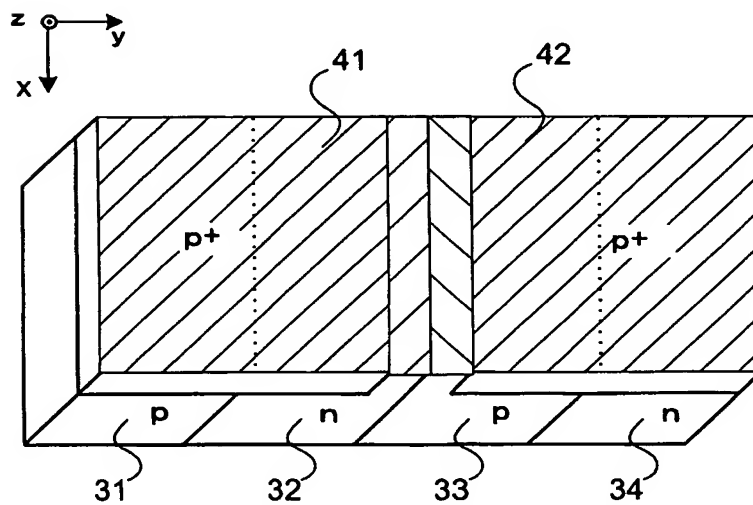


図47C

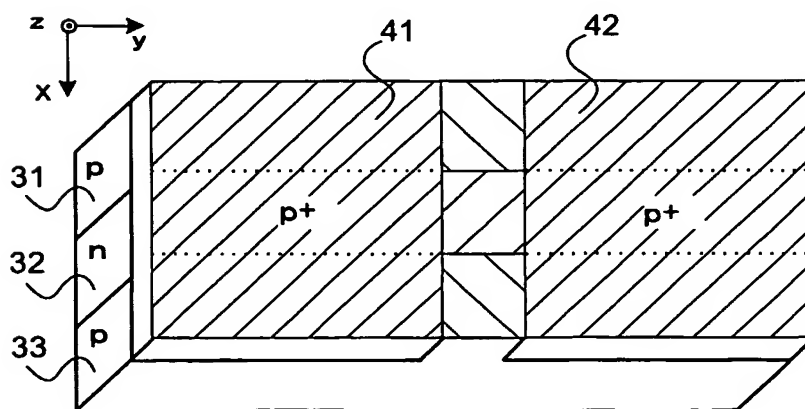


図48A

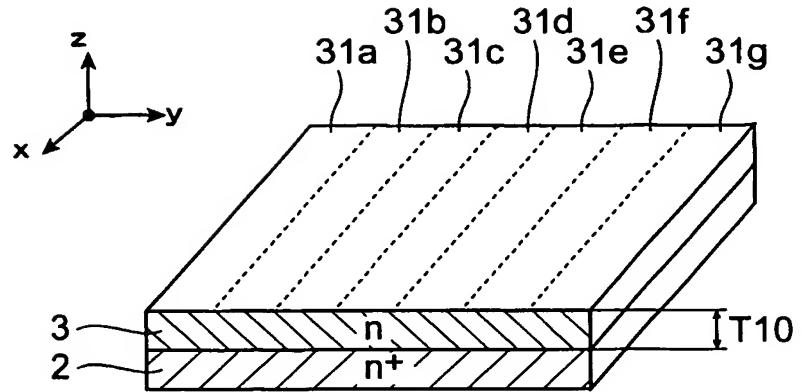


図48B

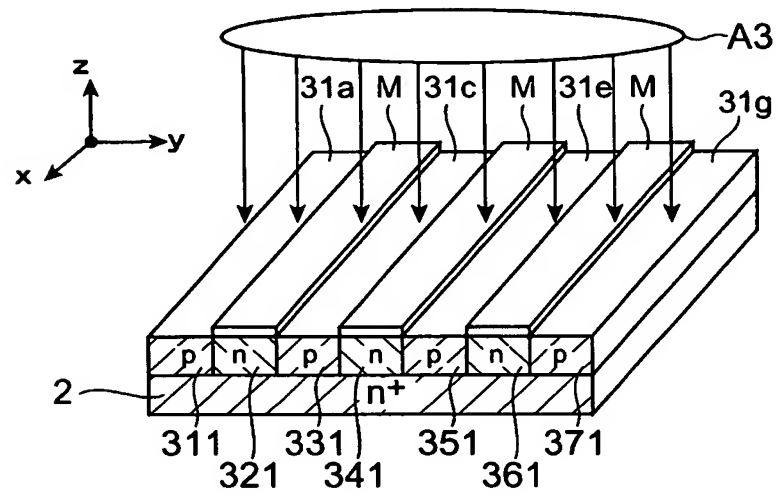
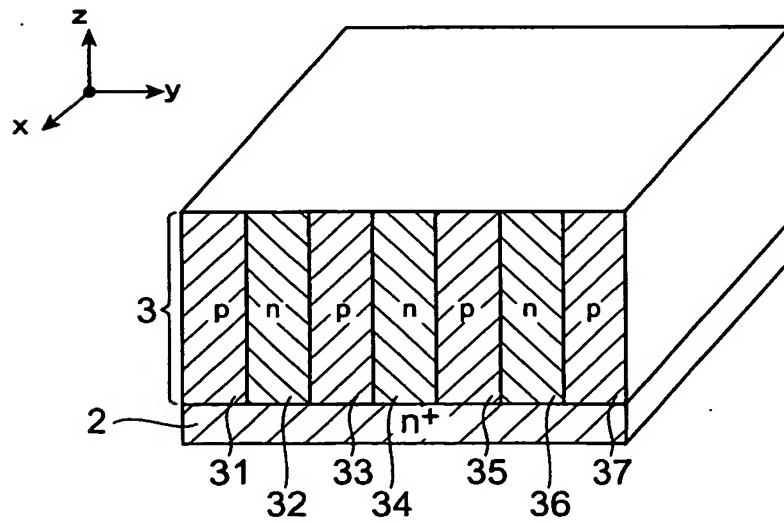


図48C



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09412

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/337, H01L29/80, H01L29/808

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/337, H01L29/80, H01L29/808

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2001/0024138 A1 (Karl-Otto Dohnke), 27 September, 2001 (27.09.01),	27, 35, 36, 40, 41
Y	Par. Nos. [0071] to [0077]; Fig. 5 & JP 2002-526929 A	28, 29, 32, 34, 38, 39, 42, 43, 46, 47
A	Par. Nos. [0060] to [0066]; Fig. 5 & DE 19943785 A1 & WO 00/19536 A1 & EP 1116274 A1 & CN 1320277 A	30, 31, 37, 44, 45
Y	JP 2000-252475 A (The Kansai Electric Power Co., Inc.), 14 September, 2000 (14.09.00),	27-29, 32, 34-36, 38-43, 46, 47
A	Full text; Figs. 1 to 17 (Family: none)	30, 31, 37, 44, 45

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2003 (04.09.03)

Date of mailing of the international search report
16 September, 2003 (16.09.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09412

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1119054 A1 (HITACHI LTD.), 25 July, 2001 (25.07.01), Full text; Figs. 1 to 5E & JP 2000-114544 A Full text; Figs. 1 to 5 & US 2002/0109145 A1 & WO 00/19541 A1	32
Y	JP 51-135381 A (Matsushita Electronics Corp.), 24 November, 1976 (24.11.76), Full text; Figs. 1 to 3 (Family: none)	32
Y	JP 2001-196602 A (Hitachi, Ltd.), 19 July, 2001 (19.07.01), Full text; Figs. 1 to 13 (Family: none)	38, 39, 46, 47
Y	JP 2001-144292 A (Denso Corp.), 25 May, 2001 (25.05.01), Full text; Figs. 1 to 8 (Family: none)	38, 39, 46, 47
Y	JP 2000-269518 A (Toshiba Corp.), 29 September, 2000 (29.09.00), Full text; Figs. 1 to 25 (Family: none)	38, 39, 46, 47
A	JP 2000-150912 A (Hitachi, Ltd.), 30 May, 2000 (30.05.00), Full text; Figs. 1 to 11 (Family: none)	1-26, 33
A	JP 4-276664 A (Toyota Central Research And Development Laboratories, Inc.), 01 October, 1992 (01.10.92), Full text; Figs. 1 to 10 (Family: none)	1-26, 33
A	EP 53854 A1 (PHILIPS ELECTRONIC AND ASSOCIATED INDUSTRIES LTD.), 16 June, 1982 (16.06.82), Full text; Figs. 1 to 14 & JP 57-124469 A Full text; Figs. 1 to 14 & GB 2089119 A & US 4754310 A	12, 37

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/337, H01L29/80, H01L29/808

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/337, H01L29/80, H01L29/808

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2001/0024138 A1 (Karl-Otto Dohnke)	27, 35, 36, 40, 41
Y	2001.09.27, 段落番号[0071]-[0077], 第5図 & JP 2002-526929 A, 段落番号【0060】-【0066】, 第5図	28, 29, 32, 34, 38, 39, 42, 43, 46, 47
A	& DE 19943785 A1 & WO 00/19536 A1 & EP 1116274 A1 & CN 1320277 A	30, 31, 37, 44, 45

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

04.09.03

国際調査報告の発送日 16.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

4L

2933

電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-252475 A (関西電力株式会社) 2000. 09. 14, 全文, 第1-17図 (ファミリーなし)	27-29, 32, 34- 36, 38-43, 46, 47
A		30, 31, 37, 44, 45
Y	EP 1119054 A1 (HITACHI LTD.) 2001. 07. 25, 全文, 第1-5E図 & JP 2000-114544 A, 全文, 第1-5図 & US 2002/0109145 A1 & WO 00/19541 A1	32
Y	JP 51-135381 A (松下電子工業株式会社) 1976. 11. 24, 全文, 第1-3図 (ファミリーなし)	32
Y	JP 2001-196602 A (株式会社日立製作所) 2001. 07. 19, 全文, 第1-13図 (ファミリーなし)	38, 39, 46, 47
Y	JP 2001-144292 A (株式会社デンソー) 2001. 05. 25, 全文, 第1-8図 (ファミリーなし)	38, 39, 46, 47
Y	JP 2000-269518 A (株式会社東芝) 2000. 09. 29, 全文, 第1-25図 (ファミリーなし)	38, 39, 46, 47
A	JP 2000-150912 A (株式会社日立製作所) 2000. 05. 30, 全文, 第1-11図 (ファミリーなし)	1-26, 33
A	JP 4-276664 A (株式会社豊田中央研究所) 1992. 10. 01, 全文, 第1-10図 (ファミリーなし)	1-26, 33
A	EP 53854 A1 (PHILIPS ELECTRONIC AND ASSOCIATED INDUSTRIES LIM ITED) 1982. 06. 16, 全文, 第1-14図 & JP 57-124469 A, 全文, 第1-14図 & GB 2089119 A & US 4754310 A	12, 37